

Docket No.: 67161-139

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Hideto MATSUOKA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 02, 2004	:	Examiner: Unknown
	:	
For:		CONTENT ADDRESSABLE MEMORY WITH REDUNDANT REPAIR FUNCTION

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

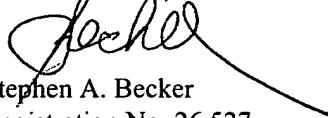
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-056100, filed March 3, 2003**  
**Japanese Patent Application No. 2003-314052, filed September 5, 2003**

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:tlb  
Facsimile: (202) 756-8087  
**Date: February 2, 2004**

67141-139  
MATSUOKA et al.  
February 2, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月 3日

出 願 番 号

Application Number:

特願2003-056100

[ST.10/C]:

[JP2003-056100]

出 願 人

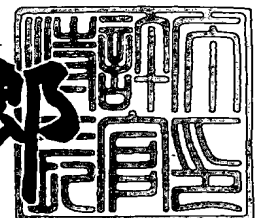
Applicant(s):

三菱電機株式会社

2003年 4月 4日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3023527

【書類名】 特許願

【整理番号】 543894JP01

【提出日】 平成15年 3月 3日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 15/04

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 野田 英行

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100064746

    【弁理士】

    【氏名又は名称】 深見 久郎

【選任した代理人】

    【識別番号】 100085132

    【弁理士】

    【氏名又は名称】 森田 俊雄

【選任した代理人】

    【識別番号】 100083703

    【弁理士】

    【氏名又は名称】 仲村 義平

【選任した代理人】

    【識別番号】 100096781

    【弁理士】

    【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 連想メモリ

【特許請求の範囲】

【請求項 1】 入力情報と検索情報との一致比較動作を実行する連想メモリであって、

前記検索情報を記憶する複数のメモリセル行および不良メモリセル行を救済する冗長メモリセル行を含むメモリアレイと、

データ読出および書込時において、必要に応じてアクセスする少なくとも 1 つの各メモリセル行を第 1 の方向にシフトさせるための第 1 のシフト回路と、

データ検索動作時において、前記第 1 のシフト回路により前記第 1 の方向にシフトした各メモリセル行を前記第 1 の方向と反対方向である第 2 の方向にシフトさせるための第 2 のシフト回路と、

前記データ検索動作時に、前記第 2 のシフト回路を介して各前記メモリセル行から伝達される情報に基づいて所望のアドレスを生成するためのアドレス生成回路と、

前記複数のメモリセル行にそれぞれ対応して設けられ、各々が前記第 1 および第 2 のシフト回路における対応するメモリセル行のシフト動作を指示するシフト指示信号をラッチする複数のラッチ回路と、

前記不良メモリセル行の不良アドレスに基づき、各前記ラッチ回路にラッチされる前記シフト指示信号を生成するシフト指示信号生成部とを備える、連想メモリ。

【請求項 2】 前記シフト指示信号生成部は、

前記不良メモリセル行の前記不良アドレスを記憶する記憶部と、

前記記憶部に記憶された前記不良メモリセル行のアドレスに基づいて、前記複数のラッチ回路のうち前記不良メモリセル行に対応するラッチ回路を含む前記第 1 の方向の各前記ラッチ回路に対して前記シフト指示信号を出力する制御回路とを含む、請求項 1 記載の連想メモリ。

【請求項 3】 前記制御回路は、

前記複数のメモリセル行にそれぞれ対応するアドレスを昇順的に一つずつカウ

ントアップするアドレスカウンタと、

前記アドレスカウンタから出力される前記アドレスと、前記記憶部に記憶された前記不良メモリセル行の前記不良アドレスとの一致比較を実行する一致比較回路と、

前記一致比較の結果に基づいて 2 値的な前記シフト指示信号を設定するとともに、ラッチして出力する信号ラッチ部と、

前記アドレスカウンタのカウントアップに応答して、順次前記第 1 の方向に従う各前記ラッチ回路に対して前記信号ラッチ部から出力される前記シフト指示信号を入力する入力制御部とを含む、請求項 2 記載の連想メモリ。

【請求項 4】 前記メモリアレイは、複数のメモリセル行にそれぞれ対応して設けられ、各々が前記入力情報と対応するメモリセル行に記憶された前記検索情報の一部とが一致したかを判定する複数のマッチ線をさらに含み、

前記複数のマッチ線にそれぞれ対応して設けられ、対応するマッチ線を所定の電圧レベルにプリチャージする複数のプリチャージユニットと、

前記データ検索前に、前記複数のプリチャージユニットをそれぞれ活性化させる複数のプリチャージ制御部とをさらに備え、

各前記ラッチ回路には、前記シフト指示信号に基づき前記シフト動作を指示／非指示する第 1 および第 2 の論理データがそれぞれ設定され、

各前記プリチャージ制御部は、同一のメモリセル行に対応するラッチ回路に前記第 2 の論理データが設定された場合には対応するプリチャージユニットを活性化させ、前記第 1 の論理データが設定された場合には前記対応するラッチ回路の前記第 2 の方向のラッチ回路に前記第 1 の論理データが設定されている場合に前記対応するプリチャージユニットを活性化させる、請求項 1 記載の連想メモリ。

【請求項 5】 前記メモリアレイは、前記冗長メモリセル行を含む各前記メモリセル行に対応して設けられ、前記入力情報と各前記メモリセル行に記憶された前記検索情報の一部とが一致したかを判定するマッチ線をさらに含み、

前記冗長メモリセル行を含む各前記メモリセル行は、各々が記憶データの 1 ビットを記憶する複数のメモリセルを有し、

各前記メモリセルは、

第 1 のデータを保持する第 1 の記憶ノードを有する第 1 のセルユニットと、  
 第 2 のデータを保持する第 2 の記憶ノードを有する第 2 のセルユニットと、  
 前記第 1 および第 2 の記憶ノードに各々保持されたデータの対と与えられた前  
 記入力情報を構成する入力データとを比較し、比較結果に従って対応するマッチ  
 線を選択的に駆動する比較回路とを有する、請求項 1 記載の連想メモリ。

【請求項 6】 前記第 1 および第 2 のシフト回路ならびに複数のラッチ回路  
 は、前記メモリアレイの一方側にそれぞれ隣接して配置される、請求項 1 記載の  
 連想メモリ。

【請求項 7】 入力情報と検索情報との一致比較動作を実行する連想メモリ  
 であって、

前記検索情報を記憶する複数のメモリセル行および不良メモリセル行を救済す  
 る冗長メモリセル行を含むメモリアレイと、

データ読出および書込時において、必要に応じてアクセスする少なくとも 1 つ  
 の各メモリセル行を第 1 の方向にシフトさせるための第 1 のシフト回路と、

データ検索動作時において、前記第 1 のシフト回路により前記第 1 の方向にシ  
 フトした各メモリセル行を前記第 1 の方向と反対方向である第 2 の方向にシフト  
 させるための第 2 のシフト回路と、

前記データ検索動作時に、前記第 2 のシフト回路を介して各前記メモリセル行  
 から伝達される情報に基づいて所望のアドレスを生成するためのアドレス生成回  
 路と、

前記不良メモリセル行の不良アドレスに基づいて前記第 1 および第 2 のシフト  
 回路を制御するための制御回路とを備え、

前記メモリアレイは、冗長メモリセル行を含む各前記メモリセル行に対応して  
 設けられ、前記入力情報と各前記メモリセル行に記憶された前記検索情報の一部  
 とが一致したかを判定するマッチ線をさらに含み、

前記冗長メモリセル行を含む各前記メモリセル行は、各々が記憶データの 1 ビ  
 ットを記憶する複数のメモリセルを有し、

各前記メモリセルは、

第 1 のデータを保持する第 1 の記憶ノードを有する第 1 のセルユニットと、

第2のデータを保持する第2の記憶ノードを有する第2のセルユニットと、  
前記第1および第2の記憶ノードに各々保持されたデータの対と与えられた前記入力情報を構成する入力データとを比較し、比較結果に従って対応するマッチ線を選択的に駆動する比較回路とを有する、連想メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、連想メモリに関し、特に不良のメモリセル行を予備の冗長メモリセル行を用いて救済する冗長救済機能を備えた連想メモリに関するものである。

【0002】

【従来の技術】

メモリデバイスの主要なアプリケーションの1つとして、入力データを入力してこれと検索情報を構成する記憶データ（検索データ）とが一致するか否かの一致比較動作を実行する連想メモリ（以下、CAM（Content Addressable Memory）とも称する）が存在する。このようなCAMは、たとえばデータ処理システムにおいて、キャッシュアクセス時に、必要なデータが格納されているかの判定を行なうキャッシュヒット／ミス判定時のアドレス比較などにおいて用いられている。

【0003】

一方、SRAM（Static Random Access Memory）やDRAM（Dynamic Random Access Memory）等の通常のメモリデバイスでは、予め冗長回路として予備の冗長メモリセル行を設けている。これに伴い、不良のメモリセル行が存在する場合に予備の冗長メモリセル行と置換することによりこの不良のメモリセル行を救済し、メモリデバイスの歩留りを向上させる冗長回路技術が一般的に用いられている。

【0004】

しかし、CAMでは、メモリセル行の構造が通常のメモリデバイスとは大きく異なり、メモリセル行を救済する場合には、データ読出時および書込時に実行するアドレス選択（デコード）だけでなく、データ検索動作後の優先順位に従って



一致アドレスを順次出力する機能（エンコード）についても救済する必要がある。

【0005】

このCAMに特有の機能および回路構成等の理由により、不良のメモリセル行の救済を実行することは容易ではなかった。

【0006】

これに対して、特開2002-260389号公報においては、メモリセル行の冗長救済を実行するために、論理アドレス（外部から入力されるアドレス）と物理アドレス（内部で実際に使用するアドレス）とを相互に変換する構成が開示されている。具体的には、不良メモリセル行の不良アドレスと論理アドレスとに基づいて、不良メモリセル行よりも上位（もしくは下位）のアドレスに対応するメモリセル行をシフトさせるシフト動作を実行する。これに伴い、冗長メモリセル行を用いて不良メモリセル行の冗長救済を実行する構成が開示されている。

【0007】

【特許文献1】

特開2002-260389号公報（図1，p4～p8）

【0008】

【発明が解決しようとする課題】

しかしながら、上記公報においては、不良アドレスを一旦プリデコードし、その結果と、通常の論理アドレスの入力をデコードした結果とに基づいてシフト動作を実行するため、比較的回路規模の大きなデコード回路をそれぞれ配置する必要がある。

【0009】

したがって、デコード回路に対するレイアウト面積を十分に確保する必要がありメモリデバイスの回路面積が大きくなるという問題がある。

【0010】

また、上記公報においては、プリデコード回路により不良アドレスをプリデコードした結果を用いてシフト動作を実行している。具体的にはこのプリデコードした結果を論理アドレスのデコード結果との比較動作を実行するために各メモリ

セル行毎に伝達している。したがって、プリデコード回路からのプリデコード信号を各メモリセル行毎に伝達する信号線数が増大する。これに伴い、信号線の配線数が増加するため配線上の制約を十分に考慮して回路設計をする必要がある。すなわち回路設計が複雑化するという問題がある。特に、アドレスのビット長に応じてプリデコード信号の配線数はさらに増加するため大容量のアレイを構成する際にはこの問題が特に顕在化する。

#### 【 0 0 1 1 】

本発明は、上記のような問題を解決するためになされたものであって、回路面積が小さく、また簡易な構成でメモリセル行の冗長救済を実行する連想メモリを提供することを目的とする。

#### 【 0 0 1 2 】

##### 【課題を解決するための手段】

この発明に係る連想メモリは、入力情報と検索情報との一致比較動作を実行する連想メモリであって、メモリアレイは、第1および第2のシフト回路と、アドレス生成回路と、複数のラッチ回路と、シフト指示信号生成部とを含む。メモリアレイは、検索情報を記憶する複数のメモリセル行および不良メモリセル行を救済する冗長メモリセル行を含む。第1のシフト回路は、データ読出および書込時において、必要に応じてアクセスする少なくとも1つの各メモリセル行を第1の方向にシフトさせる。第2のシフト回路は、データ検索動作時において、第1のシフト回路により第1の方向にシフトした各メモリセル行を第1の方向と反対方向である第2の方向にシフトさせる。アドレス生成回路は、データ検索動作時に、第2のシフト回路を介して各メモリセル行から伝達される情報に基づいて所望のアドレスを生成する。複数のラッチ回路は、複数のメモリセル行にそれぞれ対応して設けられ、各々が第1および第2のシフト回路における対応するメモリセル行のシフト動作を指示するシフト指示信号をラッチする。シフト指示信号生成部は、不良メモリセル行の不良アドレスに基づき、各ラッチ回路にラッチされるシフト指示信号を生成する。

#### 【 0 0 1 3 】

また、入力情報と検索情報との一致比較動作を実行する連想メモリであって、

メモリアレイと、第1および第2のシフト回路と、アドレス生成回路と、制御回路とを含む。メモリアレイは、検索情報を記憶する複数のメモリセル行および不良メモリセル行を救済する冗長メモリセル行を含む。第1のシフト回路は、データ読出および書込時において、必要に応じてアクセスする少なくとも1つの各メモリセル行を第1の方向にシフトさせる。第2のシフト回路は、データ検索動作時において、第1のシフト回路により第1の方向にシフトした各メモリセル行を第1の方向と反対方向である第2の方向にシフトさせる。アドレス生成回路は、データ検索動作時に、第2のシフト回路を介して各メモリセル行から伝達される情報に基づいて所望のアドレスを生成する。制御回路は、不良メモリセル行の不良アドレスに基づいて第1および第2のシフト回路を制御する。メモリアレイは、冗長メモリセル行を含む各メモリセル行に対応して設けられ、入力情報と各メモリセル行に記憶された検索情報の一部とが一致したかを判定するマッチ線をさらに含む。冗長メモリセル行を含む各メモリセル行は、各々が記憶データの1ビットを記憶する複数のメモリセルを有する。各メモリセルは、第1および第2のセルユニットと、比較回路とを含む。第1のセルユニットは、第1のデータを保持する第1の記憶ノードを有する。第2のセルユニットは、第2のデータを保持する第2の記憶ノードを有する。比較回路は、第1および第2の記憶ノードに各々保持されたデータの対と与えられた入力情報を構成する入力データとを比較し、比較結果に従って対応するマッチ線を選択的に駆動する。

【0014】

#### 【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付しその説明は繰返さない。

【0015】

#### （実施の形態1）

図1は、本発明の実施の形態に従うCAM1の全体構成図である。

【0016】

図1を参照して、本発明の実施の形態に従うCAM1は、一致比較動作に用いられる検索情報を記憶するための行列状に集積配置されたCAMセルを有するメ

モリアレイ2と、マッチ線アンプ3と、プライオリティエンコーダ4と、ロウデコーダ5と、シフト情報ラッチ回路6と、アドレスバッファ7と、出力バッファ8、13と、データバッファ9と、コントロール回路10と、センスアンプ帯11と、サーチ線ドライバ/ライトドライバ帯12とを備える。

## 【0017】

メモリアレイ2は、メモリセル行にそれぞれ対応して設けられたワード線 $WL_0 \sim WL_{m-1}$ （以下、総括してワード線 $WL$ とも称する）および複数のマッチ線 $ML_0 \sim ML_{m-1}$ （以下、総括してマッチ線 $ML$ とも称する）と、メモリセル列にそれぞれ対応して設けられたビット線対 $BLP_0 \sim BLP_{n-1}$ （以下、総括してビット線対 $BLP$ とも称する）とを含む。本例においては、一例として $m$ 行 $n$ 列のメモリアレイ2の構成について説明する。また、ビット線対 $BLP$ は、ビット線 $BL$ と相補のビット線 $\overline{BL}$ を含む。図1においては、代表的にビット線対 $BLP_0$ を構成するビット線 $BL_0$ と、相補のビット線 $\overline{BL_0}$ および、ビット線対 $BLP_{n-1}$ を構成するビット線 $BL_{n-1}$ と、相補のビット線 $\overline{BL_{n-1}}$ とが示されている。

## 【0018】

メモリアレイ2は、図1に示されるように $m$ 個のメモリセル行を有し、連続したアドレスで指定されるワード $W_0 \sim W_{m-1}$ がそれぞれのメモリセル行に記憶される。また、本例においては、一例としてワード $W_{m-1}$ が不良メモリセル行を救済する冗長メモリセル行として設けられている。また、本実施の形態においては、一例としてワード $W_0$ が最下位のアドレスに対応し、ワード $W_{m-1}$ が最上位のアドレスに対応する構成とする。

## 【0019】

ロウデコーダ5は、コントロール回路10からの指示に応答して内部アドレス $IAD[i:0]$ をデコードし、複数のワード線 $WL_0 \sim WL_{m-1}$ のうち少なくとも1本をアクセスするとともに、シフト情報ラッチ回路6からのシフト情報に基づいて、アクセスの際物理的にアクセスするメモリセル行をシフトさせるシフト動作を実行する。なお、上記の内部アドレス $IAD[i:0]$ は、内部アドレス $IAD<0> \sim IAD<i>$ を示す。なお、以下においては、信号 $Z[i:$

0] の記号は、信号  $Z<0>\sim Z<i>$  を指し示すものとする。

【0020】

シフト情報ラッチ回路6は、コントロール回路10からの指示に応答して活性化され、内部で生成されるシフト情報をロウデコーダ5およびマッチ線アンプ3に出力する。アドレスバッファ7は、コントロール回路10からの指示に응答して入力される外部アドレス（論理アドレス） $ADD[i:0]$  をバッファ処理して内部アドレス  $IAD[i:0]$  を生成する。コントロール回路10は、外部からのコマンドCMDの入力に基づいてCAM1の全体の動作を制御する。

【0021】

センスアンプ帯11は、データ読出時にコントロール回路10からの指示に응答して、選択列に対応するビット線対BLPからのデータ信号を受けて増幅し、出力バッファ13に読出データ  $RDT[n-1:0]$  として出力する。本例においては、データ読出時に並列にビット線対  $BLP0\sim BLPn-1$  が選択され、 $n$  ビットの読出データ  $RDT[n-1:0]$  が出力されるものとする。出力バッファ13は、コントロール回路10からの指示に응答して、センスアンプ帯11から伝達された読出データ  $RDT[n-1:0]$  をバッファ処理して外部にデータ  $EQ[n-1:0]$  として出力する。

【0022】

データバッファ9は、コントロール回路10からの指示に응答して外部から入力される入力データ  $ED[n-1:0]$  をバッファ処理して内部入力データ  $ID[n-1:0]$ （以下、総括して内部入力データIDとも称する）としてサーチ線ドライバ/ライトドライバ帯12に出力する。

【0023】

サーチ線ドライバ/ライトドライバ帯12は、データ検索時およびデータ書込時に入力された内部入力データIDに応じて、複数のビット線対BLPのそれぞれに所定の論理レベルの信号を伝達する。本例においては、データ書込時には、選択ワードWに対応するメモリセル行を構成する各メモリセル対して並列なデータ書込を実行するものとする。また、データ検索時には、メモリアレイ内の記憶されたすべてのワードW（全てのメモリセル行）に対して一致比較

動作が実行されるものとする。

【 0 0 2 4 】

マッチ線アンプ 3 は、データ検索時にコントロール回路 1 0 からの指示に応答して、マッチ線  $ML\ 0 \sim ML\ m-1$  のそれぞれに伝達されたマッチ信号を増幅してプライオリティエンコーダ 4 に出力するとともに、シフト情報ラッチ回路 6 からのシフト情報に基づいてその出力の際、ロウデコーダ 5 におけるシフト動作に基づいて物理的にシフトさせたメモリセル行からのマッチ信号をもとの論理アドレスに対応するメモリセル行のマッチ信号として伝達するためのシフト動作を実行する。

【 0 0 2 5 】

プライオリティエンコーダ 4 は、コントロール回路 1 0 からの指示に応答して、マッチ線アンプ 3 から伝達されたマッチ信号に基づいて、一致した最上位のアドレス  $IP\ [i : 0]$  を生成する。

【 0 0 2 6 】

出力バッファ 8 は、コントロール回路 1 0 からの指示に応答して、プライオリティエンコーダ 4 から生成されたアドレス  $IP\ [i : 0]$  をバッファ処理してアドレス  $P\ [i : 0]$  として出力する。

【 0 0 2 7 】

図 2 は、本発明の実施の形態 1 に従う CAM 1 をより詳細に説明するブロック概略図である。

【 0 0 2 8 】

図 2 を参照して、シフト情報ラッチ回路 6 は、予め格納された不良アドレスに基づき生成される制御信号  $EN$ 、 $FD$  およびクロック信号  $FCLK\ 1$ 、 $FCLK\ 2$  を出力するフューズ回路 2 0 と、フューズ回路 2 0 から出力される制御信号に基づいてシフト情報を構成するシフト制御信号をラッチするラッチ群 3 5 とを含む。ラッチ群 3 5 は、複数のメモリセル行にそれぞれ対応して設けられ、各々が互いに直列に接続された複数のラッチ部  $LTU$  を含む。直列に接続された複数のラッチ部  $LTU$  は、クロック信号  $FCLK\ 1$ 、 $FCLK\ 2$  に同期してフューズ回路 2 0 から伝達される種々の制御信号  $EN$  および  $FD$  を一つずつ順番にラッチし

てシフト制御信号を設定する。具体的には、下位アドレスのメモリセル行に対応して設けられるラッチ部 L T U から上位アドレスのメモリセル行に対応して設けられるラッチ部 L T U に対して順番にシフト制御信号 S およびその反転信号 Z S が設定されてロウデコーダ 5 およびマッチ線アンプ 3 に出力される。

#### 【 0 0 2 9 】

ロウデコーダ 5 は、プリデコード回路 1 5 と、ワード線選択回路 3 0 とを含む。プリデコード回路 1 5 は、入力される内部アドレス I A D [ i : 0 ] の入力をデコード処理してプリデコード信号 X A [ j : 0 ] , X B [ k : 0 ] および X C [ l : 0 ] をそれぞれ生成する。なお、プリデコード信号 X A [ j : 0 ] , X B [ k : 0 ] および X C [ l : 0 ] をそれぞれ総称してプリデコード信号 X A , X B , X C とも称する。

#### 【 0 0 3 0 】

ワード線選択回路 3 0 は、メモリセル行にそれぞれ対応して設けられた複数のワード線選択ユニット W D U を含む。各ワード線選択ユニット W D U は、同一のメモリセル行に対応して設けられるラッチ部 L T U からシフト制御信号 S および Z S の入力を受ける。ワード線選択ユニット W P U は、プリデコード回路 1 5 から入力されるプリデコード信号 X A , X B , X C の入力に基づいて、対応するワード線 W L のアクセス（選択動作）を実行するとともに、シフト情報ラッチ回路 6 の対応するラッチ部 L T U から入力されるシフト制御信号 S および Z S に基づいて、対応するワード線 W L の選択動作をシフトさせるシフト動作を実行する。

#### 【 0 0 3 1 】

具体的には、シフト制御信号 S および Z S に基づいて、入力ノード S R に前段のワード線選択ユニット W D U からワード線を選択するための選択信号の入力を受ける。さらに、シフト制御信号 S および Z S に基づいて、出力ノード N R から次段のワード線選択ユニット W D U に対応する入力ノード S R にワード線を選択するための選択信号を伝達する。また、ワード線選択ユニット W D U は、コントロール回路 1 0 からの制御信号 Z X R S T の入力に基づいてワード線 W L のアクセス（選択動作）を停止する。

#### 【 0 0 3 2 】

マッチ線アンプ 3 は、メモリセル行にそれぞれ対応して設けられた複数のマッチアンプユニットUMAを含む。各マッチアンプユニットUMAは、同一のメモリセル行に対応して設けられるラッチ部LTUからシフト制御情報SおよびZSの入力を受ける。マッチアンプユニットUMAは、対応するマッチ線MLからのマッチ信号を増幅するとともに、シフト制御信号SおよびZSに基づいて、必要に応じて対応するマッチ線MLに伝達されたマッチ信号の伝達をシフトさせるシフト動作を実行する。

## 【0033】

具体的には、シフト制御信号SおよびZSに基づいて、入力ノードMLUに上位アドレス（本例では上段）に対応するマッチアンプユニットUMAからのマッチ信号の入力を受ける。さらに、シフト制御信号SおよびZSに基づいて、出力ノードに下位アドレス（本例では下段）に対応するマッチアンプユニットUMAに対してマッチ信号を出力する。マッチアンプユニットUMAは、シフト制御信号SおよびZSに基づくシフト動作により、対応する出力ノードMLoからマッチ信号をプライオリティエンコーダ4に対して出力する。また、マッチアンプユニットUMAは、コントロール回路10から伝達される制御信号MLPRCの入力に応答して対応するマッチ線MLを所定の電圧レベル（「H」レベル）にプリチャージする。

## 【0034】

図2においては、代表的に下位アドレスに対応するマッチアンプユニットUMAが順番に4個示されている。ここで、4個のマッチアンプユニットUMAは、マッチ線ML0～ML3からのマッチ信号を入力ノードMLi0～MLi3にそれぞれ受ける。また、出力ノードMLo0～MLo3からプライオリティエンコーダ4に対してマッチ信号Mi<0>～Mi<3>をそれぞれ出力する。なお、入力ノードMLiおよび出力ノードMLoは、入力ノードMLi0～MLi3および出力ノードMLo0～MLo3を総括的に標記したものである。

## 【0035】

プライオリティエンコーダ4は、マッチ線アンプ3の複数のマッチアンプユニットUMAから伝達されるマッチ信号Miをそれぞれ受けて、最上位のアドレス



に対応するメモリセル行のアドレスをアドレスIP [i : 0] として生成する。出力バッファ8は、上述したようにアドレスIP [i : 0] をバッファ処理して、アドレスP [i : 0] として出力する。各回路の詳細な動作および回路構成については後ほど詳細に説明する。なお、上記においては、各メモリセル行に対応して設けられるラッチ部LTU、ワード線選択ユニットWDUおよびマッチアンプユニットUMAについて説明したが、冗長メモリセル行は、不良メモリセル行を救済する目的で配置されているため、冗長メモリセル行については、対応するラッチ部LTU、ワード線選択ユニットWDUおよびマッチアンプユニットUMAを設けない構成としても良い。

## 【0036】

本発明の実施の形態は、不良メモリセル行を救済する冗長救済構成について向けられているが、冗長救済構成について説明する前にまずCAM1における一致比較動作について説明する。

## 【0037】

図3は、本発明の実施の形態1に従うメモリアレイ2に集積配置されたCAMメモリセルCAMC（以下、単にメモリセルCAMCとも称する）の回路構成図である。

## 【0038】

図3を参照して、ここでは、ビット線対BLP0およびBLPn-1に対応するメモリセルCAMCが2つ設けられている。いずれのメモリセルCAMCの構成も同様であるので、代表的にビット線対BLP0に対応するメモリセルCAMCの構成について説明する。

## 【0039】

メモリセルCAMCは、メモリセルユニットMCUと、ゲートトランジスタGT、ノットGT、比較部98とを含む。

## 【0040】

メモリセルユニットMCUは、トランジスタ94～97を含む。トランジスタ94、95は、一例としてNチャンネルMOSトランジスタとする。また、トランジスタ96、97は、PチャンネルMOSトランジスタとする。トランジスタ

96は、電源電圧VCCの供給を受けるノードN<sub>p</sub>とセンスノードSNとの間に配置され、そのゲートはセンスノード／SNと電氣的に結合される。トランジスタ97は、電源電圧VCCの供給を受けるノードN<sub>p</sub>とセンスノード／SNとの間に配置され、そのゲートはセンスノードSNと電氣的に結合される。トランジスタ94は、センスノードSNと接地電圧GNDの供給を受けるノードN<sub>q</sub>との間に配置され、そのゲートはセンスノード／SNと電氣的に結合される。トランジスタ95は、センスノード／SNと接地電圧GNDの供給を受けるノードN<sub>q</sub>との間に配置され、そのゲートはセンスノードSNと電氣的に結合される。このトランジスタ94～96で構成されるメモリセルユニットMCUは、いわゆるクロスカップル型のSRAMセルであり、センスノードSNおよび／SNの一方を「H」レベル、他方を「L」レベルに設定することにより記憶データを保持する。

#### 【0041】

本例においては、センスノードSN、／SNが「H」レベルおよび「L」レベルに設定される場合を記憶データ「0」に対応付けるものとする。また、センスノードSN、／SNが「L」レベルおよび「H」レベルに設定される場合を記憶データ「1」に対応付けるものとする。なお、記憶データ「0」および「1」の対応付けを反転させることも可能である。

#### 【0042】

ゲートトランジスタGTは、ビット線BL0とセンスノードSNとの間に配置され、そのゲートは対応するワード線WLと電氣的に結合される。ゲートトランジスタ／GTは、センスノード／SNとビット線／BL0との間に配置され、そのゲートは対応するワード線WLと電氣的に結合される。

#### 【0043】

比較部98は、メモリセルユニットMCUに記憶された記憶データと、入力データとの一致比較動作を実行する。比較部98は、トランジスタ90～93を含む。トランジスタ90～93は、一例としてNチャンネルMOSトランジスタとする。

#### 【0044】

トランジスタ 9 0 および 9 2 は、接地電圧 GND の供給を受けるノード N<sub>q</sub> と対応するマッチ線 ML との間に直列に接続され、それぞれのゲートはセンスノード SN およびビット線 BL<sub>0</sub> と電氣的に結合される。トランジスタ 9 1 および 9 3 は、接地電圧 GND の供給を受けるノード N<sub>q</sub> と対応するマッチ線 ML との間に直列に接続され、それぞれのゲートはセンスノード / SN およびビット線 / BL<sub>0</sub> と電氣的に結合される。上述したようにメモリセルユニット MCU は、いわゆるクロスカップル型の SRAM セルと等価であり、データ読出およびデータ書込についての動作についての詳細な説明は省略する。この SRAM セルは、記憶するデータに応じて、2 つのセンスノードの一方および他方をそれぞれ異なる電圧レベルに設定するフリップフロップ回路として機能する。

## 【 0 0 4 5 】

なお、メモリセル CAMC に対応して設けられるビット線対 BL<sub>P</sub> は、データ検索動作時においては、サーチ線対 SL<sub>P</sub> として機能する。サーチ線対 SL<sub>P</sub> は、サーチ線 SL と、相補のサーチ線 / SL<sub>P</sub> とを有し、それぞれビット線 BL および / BL に対応付けられる。

## 【 0 0 4 6 】

図 4 のタイミングチャート図を用いて、図 3 で説明したビット線対 BL<sub>P0</sub> に対応するメモリセル CAMC のデータ検索動作について説明する。ここではクロック信号 CLK に同期して内部回路が動作するものとして説明する。なお、メモリセル CAMC は、記憶データ「0」を記憶するものとする。また、説明の容易化のため 1 ビットの内部入力データ ID が入力される場合について説明する。

## 【 0 0 4 7 】

クロック信号の立上がり同期した時刻 T<sub>0</sub> において、サーチ線対 SL<sub>P0</sub> (ビット線対 BL<sub>P0</sub>) に対して内部入力データ ID (「1」) に応じたデータが伝達される。具体的には、サーチ線 SL<sub>0</sub> (ビット線 BL<sub>0</sub>) および相補のサーチ線 / SL<sub>0</sub> (ビット線 / BL<sub>0</sub>) がそれぞれ「H」レベルおよび「L」レベルに設定される。これに応答して、メモリセル CAMC の比較部 9 8 において、トランジスタ 9 2 がターンオンする。メモリセル CAMC は、記憶データ「0」を記憶しているためセンスノード SN, / SN は、「L」レベルおよび「H」レベ

ルにそれぞれ設定されている。したがって、比較部 9 8 において、センスノード / S N の電圧レベルに応答して、トランジスタ 9 0 がターンオンする。これに伴い、比較部 9 8 において、直列に接続されたトランジスタ 9 0 および 9 2 がともにターンオンして、マッチ線 M L と接地電圧 G N D が供給されるノード N q とが電氣的に結合される。したがって、マッチ線 M L の電圧レベルは、接地電圧 G N D によりプリチャージされた所定の電圧レベル（「H」レベル）からプルダウンする。ゆえに、この場合には、メモリセル C A M C に記憶された記憶データと入力データとが不一致と判定され検索結果がミスとされる。

## 【 0 0 4 8 】

次に、検索結果後の時刻 T 1 において、制御信号 M L P R C は「L」レベルに設定される。これにより、マッチ線 M L は所定の電圧レベル（「H」）にプリチャージされる。したがって、次のデータ検索動作の準備動作が完了する。

## 【 0 0 4 9 】

次に、クロック信号の立ち上がり同期した時刻 T 2 において、今度はサーチ線対 S L P 0 に対して内部入力データ I D （「0」）に応じたデータが伝達される。具体的には、サーチ線 S L 0 および相補のサーチ線 / S L 0 がそれぞれ「L」レベルおよび「H」レベルに設定される。これにตอบสนองして、メモリセル C A M C の比較部 9 8 において、トランジスタ 9 3 がターンオンする。メモリセル C A M C は、上述したように記憶データ「0」を記憶しているため比較部 9 8 において、トランジスタ 9 0 がターンオンしている。したがって、比較部 9 8 において、マッチ線 M L と接地電圧 G N D が供給されるノード N q とは電氣的に結合されない。これに伴い、マッチ線 M L の電圧レベルは、所定の電圧レベル（「H」レベル）を維持する。ゆえに、この場合には、メモリセル C A M C に記憶された記憶データと入力データとが一致と判定され、検索結果がヒットとされる。また、次のクロック信号 C L K の立ち上がり同期して、時刻 T 3 以降内部入力データの入力に応じて同様のデータ検索動作が実行される。

## 【 0 0 5 0 】

実際には、単体のメモリセルだけでなく、メモリセル行を構成する各メモリセルにおいて、同様の動作が並列に行なわれ、マッチ線 M L の電圧レベルが設定さ

れる。具体的には、メモリセル行を構成するすべてのメモリセルCAMCの比較部98が対応するマッチ線MLと接地電圧GNDとを電氣的に結合させない場合には対応するマッチ線MLは、所定の電圧レベル（「H」レベル）を維持する。すなわち、入力された内部入力データID[n-1:0]と、所定のメモリセル行の各メモリセルCAMCに記憶された記憶データとが一致したと判定することができる。

#### 【0051】

一方、メモリセル行を構成するメモリセルCAMCの比較部98のうち1つでも、対応するマッチ線MLと接地電圧GNDとを電氣的に結合させる場合には対応するマッチ線MLは、接地電圧GNDの電圧レベル（「L」レベル）に設定される。すなわち、入力された内部入力データID[n-1:0]と、所定のメモリセル行の各メモリセルCAMCに記憶された記憶データとが不一致であると判定する。この動作が各メモリセル行で並列に実行され、マッチ線ML0~MLm-1にそれぞれ設定された電圧レベルがマッチ信号としてマッチ線アンプ3を介してプライオリティエンコーダ4にそれぞれ入力される。

#### 【0052】

図5は、本発明の実施の形態1に従うフューズ回路20内に配置された回路群を示す概略ブロック図である。

#### 【0053】

図5を参照して、フューズ回路20は、2相クロック発生回路28と、カウンタ回路21、23と、デコーダ回路22と、フューズ群24と、フューズレジスタ25と、アドレス比較回路26と、フューズデータ発生回路27とを含む。

#### 【0054】

カウンタ回路21は、直列に接続された複数のフリップフロップ回路FFa0, FFa1, ... FFaj-1を有する。カウンタ回路21は、クロック信号FCLKの入力に同期してカウンタアドレスFADD[j-1:0]をカウントアップしてアドレス値を一つずつインクリメントする。また、カウンタ回路21は、図示しないが、所定のカウンタ値の設定に基づいて制御信号ENを生成する回路を含む。所定のカウンタ値は、不良アドレスのビット長に対応する回数カウ

ントアップしたアドレス値に設定される。具体的には、不良アドレスのビット長は、 $i + 1$ ビットであり、所定のカウンタ値は、カウンタ回路21が $i + 1$ 回カウントアップした値に設定される。

#### 【0055】

デコーダ回路22は、入力されるカウンタアドレス $FADD[j - 1 : 0]$ をそれぞれ反転させて、カウンタアドレス $ZFADD[j - 1 : 0]$ として出力するインバータ群22Iと、デコード処理するAND回路群22Aおよび22Bを含む。

#### 【0056】

AND回路群22Aは、並列に設けられた複数のAND回路を含む。AND回路群22Aは、所定のカウンタアドレスの組合せに応じて、各AND回路の出力信号である内部デコード信号 $ISF[i : 0]$ を生成する。具体的には、内部デコード信号 $ISF<0> \sim ISF<i>$ は、カウンタ回路21のカウントアップに同期して一つずつ順番に活性化（「H」レベル）される。AND回路群22Bは、並列に設けられた複数のAND回路を含む。AND回路群22Bを構成する複数のAND回路は、クロック信号 $FCLK$ と、内部デコード信号 $ISF<0> \sim ISF<i>$ のそれぞれの入力を受けて、デコード信号 $SF[i : 0]$ （以下、総括的にデコード信号 $SF$ とも称する）を生成する。すなわち、デコード信号 $SF[i : 0]$ は、クロック信号 $FCLK$ の立上がり同期したタイミングで出力される。

#### 【0057】

したがって、たとえばカウンタ回路21のカウンタアドレス $FADD$ のカウントアップに応答して、クロック信号 $FCLK$ に同期したタイミングでデコード信号 $SF<0> \sim SF<i>$ が昇順的に「H」レベルに設定される。

#### 【0058】

フューズ群24は、不良メモリセル行のアドレスに対応する各ビット値を不揮発的に記憶する。フューズ群24は、不良メモリセル行を示す不良アドレスを構成する複数ビットにそれぞれ対応して設けられる複数のフューズユニット $HU$ と、トランジスタ $PT$ とを含む。トランジスタ $PT$ は、一例としてPチャンネルM

OSトランジスタとする。トランジスタPTは、電源電圧VCCと出力ノードNhとの間に配置され、そのゲートはクロック信号CLKの入力を受ける。

【0059】

複数のフューズユニットHUは、ノードNhとそれぞれ並列に接続される。上述したようにフューズユニットHUは、不良アドレスを示す各ビットに対応して設けられる。フューズユニットHUはフューズ素子HEとトランジスタATとを含む。なお、一例としてトランジスタATは、NチャンネルMOSトランジスタとする。

【0060】

フューズ素子HEおよびトランジスタATは、接地電圧GNDと出力ノードNhとの間に直列に接続される。トランジスタATは、デコード信号SFの入力に基づいてフューズ素子HEとノードNhとを電氣的に結合する。フューズ素子HEは、外部からのレーザー入力に応答して電氣的に切断が可能なレーザフューズもしくは高電圧を印加することにより電氣的に切断が可能な電気フューズを用いることができる。フューズ素子HEの電氣的切断もしくは非切断状態により、不良アドレスの各ビットを不揮発的に記憶することができる。また、フューズ群24は、ノードNhに伝達された信号を制御信号FOUTとして出力する。

【0061】

具体的には、フューズユニットHUにおいて、対応するトランジスタATがオンした場合にフューズ素子HEが切断されていれば出力ノードNhの電圧レベルは「H」レベルに設定される。一方、フューズ素子HEが非切断状態の場合には出力ノードNhの電圧レベルは「L」レベルに設定される。この出力ノードNhの電圧レベルが不良アドレスの「0」もしくは「1」に対応付けられる。

【0062】

フューズレジスタ25は、フューズ群24から出力される制御信号FOUTをそれぞれラッチして不良アドレスF[i:0]としてアドレス比較回路26に伝達する。図5においては、フューズレジスタ25において、制御信号FOUTの入力に応じて1ビットの不良アドレスF<0>を保持する回路が代表的に示されている。なお、本明細書においては、「H」レベルおよび「L」レベルを「1」

および「0」に対応付けて標記するものとする。例えば、制御信号FOUT（「H」レベル）が入力されれば不良アドレスF<0>は「1」である。一方、制御信号FOUT（「L」レベル）が入力されれば不良アドレスF<0>は「0」として説明する。

#### 【0063】

フューズレジスタ25は、トランジスタNT0とラッチ回路25Lとを含む。トランジスタNT0は、対応するデコード信号SF<0>の入力に応答して制御信号FOUTをラッチ回路25Lに伝達する。ラッチ回路25Lは、インバータ25Ia～25Icを含む。インバータ25Iaと25Ibとは、クロスカップリングされる。インバータ25Icは、インバータ25Icの出力信号を反転して、その反転信号を不良アドレスF<0>として出力する。したがって、伝達された制御信号FOUTと同じ論理レベルの不良アドレスF<0>が設定される。他の不良アドレスのビットについても同様に設定される。なお、一例としてトランジスタNT0は、NチャンネルMOSトランジスタとする。

#### 【0064】

ここで、一連のフューズレジスタ25への不良アドレスの格納について説明する。カウンタ回路21のカウントアップにともない、デコード信号SFが生成される。このデコード信号SFの生成により、フューズ群24において、不良アドレスの各ビットに対応するフューズユニットHUが選択され、制御信号FOUTが生成される。フューズレジスタ25は、この生成された制御信号FOUTをデコード信号SFに응答して1ビットずつ格納する。この動作にともない、フューズレジスタ25に不良アドレスが設定される。

#### 【0065】

カウンタ回路23は、AND回路AD0と、直列に接続されたフリップフロップ回路FFb0～FFbi-1を含む。AND回路AD0は、クロック信号FCLKと制御信号ENとの入力に応じて、そのAND論理演算結果を直列に接続された初段のフリップフロップ回路FFb0に伝達する。

#### 【0066】

カウンタ回路21は、所定のカウンタ値に到達したときに制御信号EN（「H



「H」レベル)を伝達する。したがって、カウンタ回路23は、カウンタ回路21のカウンタアップ後にカウンタアドレスR[i:0]のカウンタアップを始める。

【0067】

アドレス比較回路26は、カウンタ回路23から入力されるカウンタアドレスR[i:0]と、フューズレジスタ25にラッチされた不良アドレスF[i:0]とをそれぞれ比較して、比較結果に基づく制御信号HTを出力する。アドレス比較回路26は、カウンタアドレスR[i:0]と不良アドレスF[i:0]との1ビットずつを比較する排他的論理和回路EORと、排他的論理和回路EORの出力結果を受けてそのNOR論理演算結果を出力するNOR回路NR1と、NOR回路NR1の出力結果を受けてAND論理演算結果を出力するAND回路AD1とを含む。

【0068】

アドレス比較回路26は、フューズレジスタ25がラッチする不良アドレスF[i:0]とカウンタ回路23によるカウンタアップによりインクリメントされていくカウンタアドレスR[i:0]とがすべて一致した場合に制御信号HTを「H」レベルとして出力する。この場合、全ての排他的論理和回路EORの出力信号が「L」レベルに設定される。これに伴い、全てのNOR回路NR1の出力信号が「H」レベルに設定される。したがって、AND回路AD1は、制御信号HTを「H」レベルに設定する。

【0069】

フューズデータ発生回路27は、NAND回路NDと、インバータ27Ia～27Icと、トランジスタNT1とを含む。トランジスタNT1は、一例としてNチャンネルMOSトランジスタとする。トランジスタNT1は、接地電圧GNDとノードNaとの間に配置され、そのゲートは制御信号HTの入力を受ける。インバータ27Iaは、ノードNaに伝達された信号を反転してノードNbに伝達する。NAND回路NDは、入力される制御信号RSTとノードNbに伝達された信号とのNAND論理演算結果をノードNaに伝達する。インバータ27Ibおよび27Icは、直列に接続され、ノードNbに伝達された信号をフューズデータFDとして出力する。このフューズデータFDが本実施の形態のロウデコ

ーダおよびマッチ線アンプ 3 におけるシフト動作を指示するシフト制御信号 S および Z S を決定付ける。

【 0 0 7 0 】

フューズデータ発生回路 2 7 は、初期状態において、ノード N a が「H」レベルにラッチされている。したがって、フューズデータ F D は「L」レベルに設定されている。アドレス比較回路 2 6 から出力される制御信号 H T (「H」レベル)の入力に応じて、接地電圧 G N D とノード N a とが電氣的に結合される。これに伴い、ノード N a が「L」レベルに設定され、フューズデータ F D は「H」レベルに設定される。制御信号 R S T は、初期状態において「H」レベルに設定されている。したがって、N A N D 回路 N D は、制御信号 R S T とノード N b との入力に応じて、ノード N a を「L」レベルに設定しラッチする。なお、制御信号 R S T を「L」レベルに設定することにより、ノード N a を初期状態にリセットすることができる。

【 0 0 7 1 】

2 相クロック発生回路 2 8 は、フリップフロップ回路 F F c 0 および F F c 1 と、A N D 回路 A D 2 と、N O R 回路 N R R とを含む。フリップフロップ回路 F F c 0 および F F c 1 は、制御信号 E N の入力に応答してそれぞれ活性化される。A N D 回路 A D 2 および N O R 回路 N R R は、フリップフロップ回路 F F c 0 の出力ノード Q から伝達される信号と、フリップフロップ回路 F F c 1 の出力ノード Q から伝達される信号の A N D 論理演算結果および N O R 論理演算結果をクロック信号 F C L K 1 および F C L K 2 としてそれぞれ出力する。

【 0 0 7 2 】

フリップフロップ回路 F F c 0 は、クロック信号 F C L K の入力を受け、フリップフロップ回路 F F c 1 は、クロック信号 F C L K の反転信号の入力を受ける。したがって、フリップフロップ回路 F F c 0 の出力ノード Q と、フリップフロップ回路 F F c 1 の出力ノード Q から伝達される信号は、入力されるクロック信号 F C L K に対して半周期ずれた信号波形となる。これにより A N D 回路 A D 2 および N O R 回路 N R R からそれぞれ出力されるクロック信号 F C L K 1 および F C L K 2 は、入力されるクロック信号 F C L K を同一パルス幅の 2 相のクロック

ク信号に分割した波形となる。言い換えるならば、クロック信号 FCLK1 と FCLK2 とを合成すればクロック信号 FCLK に相当する。

【0073】

図6は、図5で説明したフューズ回路20の動作を説明するタイミングチャート図である。

【0074】

図6を参照して、コントロール回路10からクロック信号 FCLK が入力される。これに応答して、カウンタ回路21はカウントアップを開始し、カウンタアドレス FADD [j-1:0] を生成する。このカウンタ回路21のカウントアップに基づき生成されるカウンタアドレス FADD [j-1:0] がデコーダ回路22に入力され、デコード信号 SF<0>~<i> が昇順的に1つつ「H」レベルに設定される。これにより、このデコード信号 SF に基づいてフューズ群24のフューズユニット HU がそれぞれ1つつ活性化され、フューズレジスタ25に不良アドレス F [i:0] がそれぞれ格納される。

【0075】

時刻 Ta において、カウンタ回路21は所定のカウンタ値に到達する。これに伴いフューズレジスタ25への不良アドレス F [i:0] の転送（格納）が完了する。また、同様のタイミングにおいてカウンタ回路21は、所定のカウンタアドレス値の入力に基づいて制御信号 EN（「H」レベル）を生成する。

【0076】

この制御信号 EN（「H」レベル）の入力に伴い、カウンタ回路23が活性化され、カウンタ回路23においてカウンタアドレス R [i:0] のカウントアップが開始される。

【0077】

また、2相クロック発生回路28は、制御信号 EN（「H」レベル）の入力に応答して、2相に分離されたクロック信号 FCLK1 および FCLK2 をそれぞれ出力する。

【0078】

次に、時刻 Tb においてカウンタアドレス R [i:0] がインクリメントされ

てアドレス比較回路 2 6 においてフューズレジスタ 2 5 の不良アドレスと、カウンタ値とが一致する。これに伴い、制御信号 H T が「H」レベルに設定される。

【 0 0 7 9 】

この制御信号 H T （「H」レベル）の入力に伴い、フューズデータ発生回路 2 7 は、フューズデータ F D を「1」（「H」レベル）としてラッチして出力し続ける。なお、初期状態においては、フューズデータ F D を「0」（「L」レベル）としてラッチして出力し続ける。

【 0 0 8 0 】

時刻 T c において、フューズデータ F D の転送が完了する。

図 7 は、シフト情報ラッチ回路 6 の直列に接続されたラッチ部 L T U の回路構成図である。

【 0 0 8 1 】

ラッチ部 L T U は、入力ノード F C L K A および F C L K B に入力されるクロック信号 F C L K 1 および F C L K 2 に同期して、入力されるフューズデータ F D をラッチしてシフト制御信号 S および Z S を設定するとともに、制御信号 E N （「H」レベル）を次段のラッチ部 L T U に伝達する。なお、入力ノード F C L K A および F C L K B に対して、クロック信号 F C L K 1 および F C L K 2 が直列に接続されたラッチ部 L T U 1 段ずつ交互に入れ替えて入力される。具体的には、図 2 に示される様に、1 段目のラッチ部 L T U の入力ノード F C L K A および F C L K B には、クロック信号 F C L K 2 および F C L K 1 がそれぞれ入力される。2 段目のラッチ部 L T U の入力ノード F C L K A および F C L K B には、クロック信号 F C L K 1 および F C L K 2 がそれぞれ入力される。以降のラッチ部 L T U についても同様の方式にしたがって、クロック信号 F C L K 1 および F C L K 2 がそれぞれ入力される。

【 0 0 8 2 】

図 7 を参照して、本発明の実施の形態に従うラッチ部 L T U は、ラッチ回路 4 0 と 5 0 とを含む。

【 0 0 8 3 】

ラッチ回路 4 0 は、インバータ 4 1 ～ 4 4 と、トランスファージェット 4 5 とを

含む。

【0084】

トランスファークラック45は、入力ノードFCLKAに伝達されるクロック信号FCLK1（FCLK2）およびインバータ41を介するクロック信号FCLK1（FCLK2）の反転信号を受けて活性化され、入力ノードENiに伝達された信号をインバータ42に出力する。インバータ42は、トランスファークラック45を介して入力される入力ノードENiから伝達された信号を反転してインバータ44に出力する。インバータ42および43は、クロスカップリングされる。インバータ44は、インバータ42の反転信号を出力ノードENoに伝達する。なお、初期状態において、ラッチ回路40は、インバータ42の出力信号を「H」レベルにラッチしている。ゆえに、初期状態において、制御信号ENは「L」レベルに設定されている。

【0085】

ラッチ回路50は、NAND回路46と、トランスファークラック47と、インバータ48～53とを含む。

【0086】

インバータ49および51は、クロスカップリングされる。インバータ52は、インバータ49から出力された信号を反転してシフト制御信号Sとして出力する。また、インバータ53は、シフト制御信号Sを反転してシフト制御信号ZSとして出力する。NAND回路46は、入力ノードFCLKBから入力されるクロック信号FCLK2（FCLK1）と、インバータ42から出力される信号とのNAND論理演算結果を出力する。トランスファークラック47は、NAND回路46の出力信号およびインバータ48を介する反転信号の入力に応答して活性化され、フーズデータFDをインバータ49に出力する。

【0087】

このラッチ部LTUの動作について説明する。ラッチ回路50において、入力ノードFCLKBに入力されるクロック信号の立上り（「H」レベル）および初期状態にラッチ回路40においてラッチされているインバータ42の出力信号（「H」レベル）に基づいてNAND回路46の出力信号は「L」レベルに設定さ

れる。これに応答して、トランスファークラップゲート 4 7 がオンし、フューズデータ F D がインバータ 4 9 および 5 1 でラッチされる。次に、ラッチ回路 4 0 において、入力ノード F C L K A に入力されるクロック信号の立上り（「H」レベル）に同期して、トランスファークラップゲート 4 5 がオンする。これに伴い、入力ノード E N i に入力された制御信号 E N （「H」レベル）がインバータ 4 2 および 4 3 でラッチされ、出力ノード E N o に伝達される。

## 【 0 0 8 8 】

図 8 は、本発明の実施の形態に従うシフト情報ラッチ回路のラッチ部 L T U の動作を説明するタイミングチャート図である。特に、ここでは、1 段目および 2 段目のラッチ部 L T U の動作について説明する。なお、上述したように 1 段目のラッチ部 L T U の入力ノード F C L K A および F C L K B には、それぞれクロック信号 F C L K 2 および F C L K 1 が入力される。一方、2 段目のラッチ部 L T U の入力ノード F C L K A および F C L K B には、それぞれクロック信号 F C L K 1 および F C L K 2 が入力される。

## 【 0 0 8 9 】

時刻 T 1 0 において、カウンタ回路 2 1 のカウンタアドレスが所定のカウンタ値に到達する。次に、時刻 T 1 1 において、上述したようにカウンタ回路 2 1 から制御信号 E N （「H」レベル）が生成される。これに伴い、2 相クロック発生回路 2 8 において、クロック信号 F C L K 1 および F C L K 2 が生成される。なお、時刻 T 1 1 は、図 6 のタイミングチャートで説明した時刻 T a と同一の時刻を指し示す。この時刻 T 1 1 以降において、シフト情報ラッチ回路内において、直列に接続された複数のラッチ部 L T U に対してそれぞれ順番にフューズデータ F D が取り込まれる。

## 【 0 0 9 0 】

具体的には、時刻 T 1 1 において、1 段目のラッチ部 L T U は、入力ノード F C L K B に入力されるクロック信号 F C L K 1 の立ち上がり同期してフューズデータ F D （D 0）をインバータ 4 9 および 5 1 によりラッチする。これに伴い、シフト制御信号 S および Z S が設定される。

## 【 0 0 9 1 】

次に、時刻T12において、入力ノードFCLKAに入力されるクロック信号FCLK2の立ち上がりに同期して制御信号EN（「H」レベル）をインバータ49および50によりラッチする。出力ノードENoは、「H」レベルに設定され、次段に制御信号EN（「H」レベル）を伝達する。この場合、インバータ49の出力信号は「L」レベルに設定される。したがって、ラッチ回路50のNAND回路46は、インバータ49から常に「L」レベルの信号入力を受けるためトランスファークゲート47は常にオフとなる。この動作に伴い、1段目のラッチ部LTUは、入力されたフーズデータFD（D0）に基づいて生成されるシフト制御信号SおよびZSをラッチし続ける。

## 【0092】

2段目のラッチ部LTUについても同様に、時刻T12において、入力ノードFCLKBに入力されるクロック信号FCLK2の立ち上がりに同期してフーズデータFD（D1）をインバータ49および51によりラッチする。これに伴い、シフト制御信号SおよびZSが設定される。次に、時刻T13において、入力ノードFCLKAに入力されるクロック信号FCLK1の立ち上がりに同期して制御信号EN（「H」レベル）をインバータ42および43によりラッチする。これに伴い、上述したように、次段に制御信号EN（「H」レベル）が伝達する。この状態において、ラッチ回路50のNAND回路46は、インバータ49から常に「L」レベルの信号入力を受けるためトランスファークゲート47は常にオフとなる。したがって、1段目のラッチ部LTUと同様に、2段目のラッチ部LTUにおいても、入力されたフーズデータFD（D1）に基づいて生成されるシフト制御信号SおよびZSをラッチし続ける。

## 【0093】

以降、同様の動作が繰り返すことにより、シフト情報ラッチ回路6の複数のラッチ部LTUに順番に下位アドレス側からフーズデータFDが入力され、各ラッチ部LTUにおいて、入力されるフーズデータFDに基づくシフト制御信号SおよびZSが設定される。

## 【0094】

次に、ロウデコーダ5において、プリデコード回路15からのプリデコード信

号 X A, X B, X C に基づく選択動作ならびにシフト情報ラッチ回路 6 から伝達されるシフト情報に基づくシフト動作を実行する構成について説明する。

【 0 0 9 5 】

図 9 は、本発明の実施の形態に従うワード線選択ユニット W D U の回路構成図である。

【 0 0 9 6 】

図 9 を参照して、本発明の実施の形態に従うワード線選択ユニット W D U は、選択領域 5 5 と、リセット部 6 0 と、インバータ 6 4, 6 5 と、トランジスタ 6 6, 6 7 とを含む。

【 0 0 9 7 】

選択部 5 5 は、プリデコード信号 X A, X B, X C の入力に応じてノード N 0 にワード線 W L を選択するための選択信号を生成する。

【 0 0 9 8 】

選択部 5 5 は、トランジスタ 5 6 ~ 5 8 を含む。トランジスタ 5 6 ~ 5 8 は、直列にノード N 0 と接地電圧 G N D との間に配置され、それぞれのゲートはプリデコード信号 X A, X B, X C の入力を受ける。なお、トランジスタ 5 6 ~ 5 8, 6 6, 6 7 は、一例として N チャンネル M O S トランジスタとする。

【 0 0 9 9 】

ここで、プリデコード回路 1 5 からの入力は、プリデコード信号 X A [ j : 0 ], X B [ k : 0 ], X C [ l : 0 ] である。ここでは、トランジスタ 5 6 ~ 5 8 は、各プリデコード信号 X A, X B, X C に対応して一つずつしか示されていないが、各プリデコード信号 X A, X B, X C のビット毎に直列に複数のトランジスタを設けた構成を省略して示している。あるいは、各プリデコード信号 X A, X B, X C において、各プリデコード信号 X A, X B, X C の所定の組合せに応じて活性化される信号がトランジスタ 5 6 ~ 5 8 にそれぞれ入力される構成としてもよい。

【 0 1 0 0 】

以下、説明の容易化のためにプリデコード信号 X A, X B, X C が所定の組合せである場合には、それぞれ「H」レベルに設定されたものとして説明する。



## 【0101】

トランジスタ66は、ノードN0と出力ノードNRとの間に配置され、そのゲートはシフト制御信号Sの入力を受ける。トランジスタ67は、ノードN0とノードN1との間に配置され、そのゲートはシフト制御信号ZSの入力を受ける。また、ノードN1は、入力ノードSRと電氣的に接続されている。

## 【0102】

リセット部60は、ノードN1とノードN3との間に配置され、制御信号ZX RST（「L」レベル）の入力に応答して、ノードN3を初期状態（「L」レベル）にリセットする。リセット部60は、インバータ61と、トランジスタ62、63とを含む。トランジスタ62、63は、一例としてPチャンネルMOSトランジスタとする。

## 【0103】

インバータ61は、ノードN1に伝達された信号を反転してノードN3に伝達する。トランジスタ62は、電源電圧VCCとノードN1との間に配置され、そのゲートはノードN3と電氣的に結合される。トランジスタ63は、トランジスタ62と並列に電源電圧VCCとノードN1との間に配置され、そのゲートは制御信号ZX RSTの入力を受ける。

## 【0104】

インバータ64および65は、直列に接続されノードN3に伝達された信号に基づいて対応するワード線WLを活性化させる。具体的には、ノードN3が「H」レベルに設定されれば対応するワード線WLを活性化する。また、ノードN3が「L」レベルの場合には、対応するワード線WLは非活性化状態となる。

## 【0105】

一例として、プリデコード信号XA, XB, XCが全て「H」レベルに設定された場合、選択領域55が活性化され、対応するワード線WLをアクセス（選択）する動作を実行する。なお、シフト制御信号SおよびZSはそれぞれ「L」レベルおよび「H」レベルに設定されているものとする。この場合、選択領域55は、ノードN0を「L」レベルに設定し、インバータ61、64、65を介して、対応するワード線WLを活性化する。

## 【0106】

一方、シフト制御信号SおよびZSがそれぞれ「H」レベルおよび「L」レベルに設定されている場合について説明する。この場合、ワード線選択ユニットWDUはシフト動作を実行する。具体的には、シフト制御信号S（「H」レベル）に応答して、トランジスタ66がオンする。これに伴い、出力ノードNRにノードN0の電圧レベル（「H」レベル）が伝達され、次段（上段）のワード線選択ユニットWDUの入力ノードSRにノードN0の電圧レベル（「H」レベル）が伝達される。これに伴い、次段（上位アドレス側）のワード線選択ユニットWDUの対応するワード線が活性化される。

## 【0107】

図10は、シフト情報ラッチ回路6によりラッチされたフューズデータFDに基づいてロウデコーダ5およびマッチ線アンプ3において実行されるシフト動作を模式的に示す概念図である。たとえば、ここでは、ワード線WL1が不良である場合において、ワード線WL1に対応する不良アドレスがフューズ回路20のフューズ群24で記憶されているものとする。

## 【0108】

これに伴い、シフト情報ラッチ回路6の1段目のラッチ部LTUにフューズデータFD（「0」）が入力され、2段目以降のラッチ部LTUにフューズデータ（「1」）が入力される。

## 【0109】

この場合、1段目のラッチ部LTUは、上述したようにフューズデータFD（「0」）に응答してシフト制御信号S、ZSを「L」レベルおよび「H」レベルにそれぞれ設定する。一方、2段目以降のラッチ部LTUは、上述したようにフューズデータFD（「1」）に응答してシフト制御信号S、ZSを「H」レベルおよび「L」レベルにそれぞれ設定する。

## 【0110】

したがって、ロウデコーダ5の1段目のワード線選択ユニットWDUは、シフト制御信号S、ZSに基づいて対応するワード線WLと電氣的に結合される。

## 【0111】

一方、ロウデコーダ5の2段目以降のワード線選択ユニットWDUは、シフト制御信号S、ZSに基づいて一つ上位のアドレスに対応するワード線WLと電氣的に結合される。

【0112】

これに伴い、不良のワード線WL1をアクセスしないようにシフト動作が実行され、不良メモリエル行に対応するワード線を冗長ワード線を用いて救済することができる。

【0113】

次に、マッチ線MLに関して実行されるシフト動作について説明する。

図11は、本発明の実施の形態1に従うマッチアンプユニットUMAの回路構成図である。

【0114】

図11を参照して、本発明の実施の形態1に従うマッチアンプユニットUMAは、トランジスタ75と、インバータ73、74と、スイッチ回路70とを含む。トランジスタ75は、一例としてPチャンネルMOSトランジスタとする。

【0115】

トランジスタ75は、電源電圧VCCとノードN4との間に配置され、そのゲートは制御信号MLPRCの入力を受ける。コントロール回路10は、データ検索動作前において、制御信号MLPRC（「H」レベル）を「L」レベルに設定する。これに伴い、トランジスタ75がオンし、電源電圧VCCとノードN4とが電氣的に結合される。これに伴い、対応するマッチ線MLと接続される入力ノードMLiと、電源電圧VCCとが電氣的に接続され、プリチャージ動作が実行される。図11においては、点線でプリチャージが実行される際の電源電圧VCCの電圧供給経路が示されている。

【0116】

インバータ73、74は、ノードN4とノードN5との間に直列に接続される。ノードN4は入力ノードMLiと電氣的に結合され、入力ノードMLiは、対応するマッチ線MLと電氣的に結合される。ノードN5は、ノードN5に伝達される信号を下位アドレス（下段）に対応するマッチアンプユニットUMAに伝達

するための出力ノードMLDと電氣的に結合される。

【0117】

スイッチ回路70は、入力ノードMLUに入力される上位アドレス（上段）に対応するマッチアンプユニットUMAからの伝達信号と、ノードN5に伝達される信号とのいずれか一方をシフト制御信号SおよびZSに基づいて、出力ノードMLoに伝達する。

【0118】

スイッチ回路70は、トランスファークロスタック71、72を含む。トランスファークロスタック71は、入力ノードMLUと出力ノードMLoとの間に配置される。一方、トランスファークロスタック72は、ノードN5と出力ノードMLoとの間に配置される。トランスファークロスタック71および72は、シフト制御信号SおよびZSに基づいて相補的に動作する。

【0119】

具体的には、シフト制御信号SおよびZSが「L」レベルおよび「H」レベルに設定される場合には、ノードN5と出力ノードMLoとが電氣的に結合される。したがって、ノードN5に伝達された信号がそのまま出力ノードMLoに伝達される。

【0120】

一方、シフト制御信号SおよびZSが「H」レベルおよび「L」レベルに設定される場合には、入力ノードMLUと出力ノードMLoとが電氣的に結合される。したがって、上位アドレスに対応するマッチアンプユニットUMAから伝達された信号が出力ノードMLoに伝達される。この場合においては、ノードN5に伝達された信号は、出力ノードMLDを介して下位アドレスに対応するマッチアンプユニットUMAに伝達される。

【0121】

したがって、シフト制御信号S、ZSに基づいて、マッチ線MLに伝達された信号の伝達をシフトさせるシフト動作が実行される。

【0122】

再び、図10を参照して、シフト情報ラッチ回路6に入力されたフューズデー

タFDが上記の具体例と同じ場合について説明する。

【0123】

この場合においては、2段目以降のマッチアンプユニットUMAは、シフト制御信号S、ZSが「H」レベルおよび「L」レベルに設定されているため、入力ノードMLUと出力ノードMLoとが電氣的に結合される。すなわち、上位アドレス（上段）に対応するマッチアンプユニットUMAから伝達された信号を出力ノードMLoから伝達する。

【0124】

一方、1段目のマッチアンプユニットUMAは、シフト制御信号S、ZSが「L」レベルおよび「H」レベルに設定されているため、ノードN5と出力ノードMLoとが電氣的に結合され、ノードN5に伝達された信号がそのまま出力ノードMLoに伝達される。

【0125】

このシフト動作を実行することにより、データ読出および書込時においてアクセスする際に、ロウデコーダ5において1段上位のアドレスに移行したシフト動作をデータ検索動作時において1段下位のアドレスに再シフトさせることにより、後述するプライオリティエンコーダ4に対してもとの論理アドレス位置を示す信号を伝達することが可能となる。

【0126】

図12は、本発明の実施の形態に従うプライオリティエンコーダ4の概略ブロック図である。

【0127】

図12を参照して、プライオリティエンコーダ4は、メモリセル行にそれぞれ対応して設けられた複数のエンコーダユニットECUと、アドレス生成ユニット4#とを含む。

【0128】

複数のエンコーダユニットECUは、マッチ線アンプ3の各マッチアンプユニットUMAからそれぞれ出力される4ビットずつのマッチ信号Mi[3:0]の入力を受けて、2ビットのアドレスKA[1:0]および制御信号HFをアドレ

ス生成ユニット4 #に伝達する。

【0129】

アドレス生成ユニット4 #は、複数のエンコーダユニットECUから伝達される2ビットのアドレスKA [1 : 0] および制御信号HFに基づいて、データ検索動作によりヒットしたメモリセル行のうち最上位のアドレスに対応するメモリセル行のアドレスIP [i : 0] を生成する。

【0130】

図13は、本発明の実施の形態に従うエンコーダユニットECUの回路構成図である。

【0131】

このエンコーダユニットECUは、入力されるマッチ信号Mi [3 : 0] の入力に基づいて、エンコードしたアドレスKA [1 : 0] を生成する。

【0132】

図13を参照して、本発明の実施の形態に従うエンコーダユニットECUは、OR回路80, 81, 84と、AND回路82, 83とを含む。

【0133】

OR回路80は、マッチ信号Mi < 3 > およびAND回路82の出力信号を受けてそのOR論理演算結果をアドレスKA < 1 > として出力する。AND回路82は、マッチ信号Mi < 3 > の反転信号およびマッチ信号Mi < 2 > の入力を受けてそのAND論理演算結果をOR回路80に出力する。AND回路83は、マッチ信号Mi < 3 > の反転信号およびマッチ信号Mi < 2 > の反転信号およびマッチ信号Mi < 1 > の入力を受けてそのAND論理演算結果をOR回路81に出力する。OR回路81は、マッチ信号Mi < 3 > およびAND回路83の入力を受けてそのOR論理演算結果をアドレスKA < 0 > として出力する。OR回路84は、マッチ信号Mi < 0 > ~ Mi < 3 > の入力をそれぞれ受けてそのOR論理演算結果を制御信号HFとして出力する。

【0134】

具体的には、入力されるマッチ信号Mi < 0 > ~ Mi < 3 > のうち、上位のアドレスに対応するマッチ信号Miが入力された場合には、上位のアドレスKA [

1 : 0] を生成する。一例としてマッチ信号 $M_i < 3 >$ が「H」レベルに設定された場合にはエンコードしたアドレス $KA [1 : 0]$ は「11」に設定される。さらに、マッチ信号 $M_i$ のいずれか1つが「1」である場合には制御信号 $HF$ は「1」に設定される。

#### 【0135】

アドレス生成ユニット4 #は、各エンコーダユニット $ECU$ によって生成されたアドレス $KA [1 : 0]$  および制御信号 $HF$ の入力に基づいて、ヒットしたメモリセル行のうちの最上位アドレスのアドレス $IP [i : 0]$  を生成する。たとえば、一例として、最も上位アドレス側のエンコーダユニット $ECU$ が生成する制御信号 $HF$ を優先させて、当該最も上位アドレス側のエンコーダユニット $ECU$ が生成するアドレス $KA [1 : 0]$  の値をそのまま使用し、他の下位アドレス側のエンコーダユニットが生成するアドレス $KA [1 : 0]$  の値を全て無視してアドレス $IP [i : 0]$  を生成することができる。

#### 【0136】

生成されたアドレス $IP [i : 0]$  は、出力バッファ8を介してアドレス $P [i : 0]$  として外部に出力される。

#### 【0137】

したがって、本構成においては、ロウデコーダ5において、シフト情報ラッチ回路6に入力されるフューズデータ $FD$ に基づいて、不良メモリセル行をアクセスしないようにシフト動作を実行することができる。また、マッチ線アンプ3において、フューズデータ $FD$ に基づいて、シフト動作により移行したメモリセル行を再シフトさせてもとの論理アドレス位置のメモリセル行の入力としてプライオリティエンコーダ4に入力することにより適切な最上位のメモリセル行のアドレスを出力することができる。

#### 【0138】

また、本構成においては、シフト情報ラッチ回路6にラッチされるフューズデータ $FD$ に応じて生成されるシフト制御信号 $S$ 、 $ZS$ に基づいてシフト動作が実行されるため不良アドレスのデコード処理に用いられるデコーダ回路を配置する必要がない。また、デコーダ回路を配置した場合に、入力するアドレスを伝達す

る信号線も配置する必要がなく、回路面積の縮小を図ることができる。また、配線数を減少させることにより、配線レイアウトを容易にすることにより回路設計を容易に実行することができる。

## 【 0 1 3 9 】

また、本構成の如くロウデコーダ 5 とプライオリティエンコーダ 4 とを隣接配置することによりシフト制御ラッチ回路から伝達するシフト制御信号を伝達するための信号線をメモリアレイ上に配線することがなく配線効率を高めることができる。

## 【 0 1 4 0 】

なお、本実施の形態においては、不良アドレスに基づくシフト動作を実行するための制御回路の一例としてシフト情報ラッチ回路を用いた構成について説明してきたがこれに限られず、他の構成にしたがってシフト動作を実行することも可能である。

## 【 0 1 4 1 】

## (実施の形態 1 の変形例)

本発明の実施の形態 1 においては不良メモリセル行を救済する冗長救済構成について説明してきた。

## 【 0 1 4 2 】

本発明の実施の形態 1 の変形例においては、一致比較動作を実行する CAM において、データ検索動作時における消費電力を低減する構成について説明する。

## 【 0 1 4 3 】

図 1 4 は、本発明の実施の形態 1 の変形例に従うシフト情報ラッチ回路 6 # の概略ブロック図である。

## 【 0 1 4 4 】

図 1 4 を参照して、本発明の実施の形態 1 の変形例に従うシフト情報ラッチ回路 6 # は、実施の形態 1 の図 2 で説明したシフト情報ラッチ回路 6 と比較して、NAND 回路群 3 6 をさらに設けた点が異なる。

## 【 0 1 4 5 】

NAND 回路群 3 6 は、複数のラッチ部 L T U にそれぞれ対応して設けられた



複数のNAND回路NDDを含む。ここでは、 $j-1$ 番目～ $j+1$ 番目のラッチ部LTUと、それに対応して設けられたNAND回路NDD $j-1$ ～NDD $j+1$ が示されている。NAND回路NDDは、複数のNAND回路を総括的に表記したものである。

## 【0146】

NAND回路NDDは、対応するラッチ部LTUから出力されるシフト制御信号Sおよび下位アドレス（前段）に対応するラッチ部LTUから生成されるシフト制御信号ZSの入力を受けてそのNAND論理演算結果を制御信号MLDSとして出力する。図14においては、NAND回路NDD $j-1$ ～NDD $j+1$ からそれぞれ出力される制御信号MLDS $j-1$ ～MLDS $j+1$ が示されている。なお、最下位のアドレスに対応するNAND回路NDD1に入力されるシフト制御信号ZSとして「H」レベルが常に入力されるものとする。

## 【0147】

たとえば、NAND回路NDD $j$ について考えるとシフト制御信号Sが「H」レベルであり、NAND回路NDD $j-1$ のシフト制御信号ZSが「H」レベルである時のみ制御信号MLDS $j$ を「L」レベルに設定する。それ以外の場合においては、「H」レベルに設定される。いいかえるならば $j$ 番目のラッチ部LTUにフューズデータFD（「1」）が入力され、 $j-1$ 番目のラッチ部LTUにフューズデータFD（「0」）が入力された場合のみに、制御信号MLDS $j$ は「L」レベルに設定される。

## 【0148】

図15は、本発明の実施の形態1の変形例に従うマッチアンプユニットUMA#の概略ブロック図である。ここでは代表的に $j-1$ 番目～ $j+1$ 番目のマッチアンプユニットUMA#が示されている。

## 【0149】

実施の形態1の変形例に従うマッチアンプユニットUMA#は、実施の形態1の図11で説明したマッチアンプユニットUMAと比較してNAND回路76をさらに含めた点で異なる。

## 【0150】

j + 1 番目のマッチアンプユニットUMA #において、NAND回路76は、制御信号MLPRCと制御信号MLDS j + 1の入力に基づいてそのNAND論理演算結果をトランジスタ75のゲートに出力する。

【0151】

他のマッチアンプユニットUMA #についても同様の構成であるのでその詳細な説明は繰り返さない。

【0152】

したがって、制御信号MLDS j + 1が「H」レベルに設定されている場合には、制御信号MLPRCの入力に応答してトランジスタ75がオンするが、制御信号MLDS j + 1が「L」レベルに設定されている場合には、トランジスタ75は常にオフである。

【0153】

したがって先ほどの例のように、制御信号MLDS j が「L」レベルの場合には、対応するマッチ線MLに対して上述したプリチャージ動作は実行されない。

【0154】

上記の実施の形態1においては、データ検索動作前のプリチャージ動作においては、制御信号MLPRC（「H」レベル）の入力にともない、全てのマッチ線MLがプリチャージされる構成を採用していた。

【0155】

しかしながら、不良のメモリセル行に対応するマッチ線MLに対してプリチャージ動作を実行する必要性は無い。一方、対応するマッチ線MLが不良である場合にプリチャージ動作を実行した場合には、異常リーク電流が生じる可能性があり、デバイスの欠陥を生じかねない。

【0156】

本実施の形態の構成により、NAND回路群36を設けることにより、不良メモリセル行に対応するNAND回路NDDのみ制御信号MLDSを「L」レベルに設定する。したがって、マッチアンプユニットUMA #において、不良メモリセル行に対応するマッチ線MLに対してプリチャージ動作は実行されない。

【0157】

これにより、有効なマッチ線MLに対してのみプリチャージ動作を実行するためCAMデバイスの消費電力を低減することができる。

(実施の形態2)

本実施の形態2においては、メモリセルCAMCと置換可能なメモリセルCAMC#の構成について説明する

メモリセルCAMC#は、いわゆるTCAMセルと称されるものである。

【0158】

図16は、本発明の実施の形態2に従うメモリセルCAMC#の構成図である。

【0159】

図16を参照して、メモリセルCAMC#は、2つのメモリセルユニットMCUa、MCUbと、比較部98と、ゲートトランジスタGTL、/GTL、GTR、/GTRを含む。

【0160】

メモリセルユニットMCUaは、ビット線対BLLPに対応して設けられる。メモリセルユニットMCUbは、ビット線対BLRPに対応して設けられる。メモリセルユニットMCUaおよびMCUbは、実施の形態1で説明したメモリセルユニットMCUと等価な回路構成であり、その詳細な説明は繰り返さない。すなわち、上述したように、各メモリセルユニットMCUaおよびMCUbは、記憶するデータに応じて、2つのセンスノードの一方および他方をそれぞれ異なる電圧レベルに設定するフリップフロップ回路として機能する。

【0161】

ゲートトランジスタGTLは、メモリセルユニットMCUaのセンスノードSNLとビット線対BLLPのビット線BLLとの間に配置され、そのゲートはワード線WLと電氣的に結合される。ゲートトランジスタ/GTLは、メモリセルユニットMCUaのセンスノード/SNLと相補のビット線/BLLとの間に配置され、そのゲートはワード線WLと電氣的に結合される。ゲートトランジスタGTRは、メモリセルユニットMCUbのセンスノードSNRとビット線対BLRPのビット線BLRとの間に配置され、そのゲートはワード線WLと電氣的に

結合される。ゲートトランジスタ／GTRは、センスノード／SNRとビット線対BLRPの相補のビット線／BLRとの間に配置され、そのゲートはワード線WLと電氣的に結合される。

## 【0162】

比較部98は、メモリセルユニットMCUaのセンスノード／SNLおよびメモリセルユニットMCUbのセンスノードSNRの電圧レベルに対応するデータ対と、サーチ線対SLPに伝達される入力データをそれぞれ受けて、その比較結果に基づいた信号をサーチ線対SLPに伝達する。

## 【0163】

比較部98は、トランジスタ94～97を含む。トランジスタ94～97は、一例としてNチャンネルMOSトランジスタとする。トランジスタ94と95は、接地電圧GNDが供給されるノードN6とノードN7との間に直列に接続され、それぞれのゲートはセンスノード／SNLとサーチ線／SLと電氣的に結合される。トランジスタ96および97は、接地電圧GNDが供給されるノードN6とノードN7との間に直列に接続され、それぞれのゲートはセンスノードSNRとサーチ線SLと電氣的に結合される。ノードN7は、マッチ線MLと電氣的に結合される。マッチ線MLは、上述したようにデータ検索動作前において、電源電圧VCCの電圧レベルにプリチャージされている。

## 【0164】

CAMとTCAMの違いはそのメモリセルが2値記憶か3値記憶かの違いにある。TCAMのメモリセルは、「0」、「1」、「X（ドントケア）」の3状態を記憶する。

## 【0165】

仮にこのメモリセルCAMC#がデータ「0」を記憶している場合について考える。本例においてはデータ「0」の記憶状態をセンスノード／SNLが「L」レベル、センスノードSNRが「H」レベルに対応付けられるものとする。

## 【0166】

データ検索動作が行なわれサーチ線対SLPにデータ「0」が入力された場合を考える。本例においてはサーチ線SLが「L」レベルに設定され相補のサーチ

線／SLが「H」レベルに設定されるものとする。

【0167】

この場合、比較部98において、トランジスタ96および95がターンオンするが、マッチ線MLは、接地電圧GNDと電氣的に結合されず、マッチ線MLは電源電圧VCCの電圧レベルを維持する。上述したようにこの場合入力データと検索データとがヒットしたものとする。

【0168】

一方、サーチ線対SLPにデータ「1」が入力された場合について考える。本例においてはサーチ線SLが「H」レベルに設定され、相補のサーチ線／SLは「L」レベルに設定されるものとする。

【0169】

この場合、比較部98において、トランジスタ96および97がターンオンする。これに伴い、マッチ線MLとノードN6とが電氣的に結合される。すなわち、マッチ線MLの電圧レベルは接地電圧GNDによりプルダウンされる。上述したようにこの場合入力データと検索データとはミスしたものとする。

【0170】

したがって、メモリセルCAMC#においても、CAMメモリセルCAMCと同様の検索動作を実行することができる。

【0171】

また、これに加えてメモリセルCAMC#は、さらにもう1つの状態「X（ドントケア）」という状態を記憶する。この記憶状態は、センスノード／SNLおよびセンスノードSNRがともに「L」レベルに設定されている場合に対応付けられる。

【0172】

データ検索動作を実行した場合、センスノード／SNLおよびセンスノードSNRがともに「L」レベルであるため比較部98のトランジスタ94および96のいずれもターンオフ状態にある。したがって、サーチ線対SLPにデータ「0」および「1」を入力した場合、いずれも接地電圧GNDとマッチ線MLとが電氣的に結合されることはなく比較結果は常にヒットとなる。したがって、メモリ

セルCAMC#は、常にヒットする「X」状態を記憶することができる。

【0173】

検索情報を構成する検索データを、3値データビットの組合せで構成する場合、ネットワークシステムにおいてIP（インターネット・プロトコル）パケットに対する処理などを行なう場合に、特に有効である。たとえば、今、簡単化のために、パケットの行先アドレスが、4ビットで表現されると仮定する。あるパケットの行先アドレスが“1\*\*\*”（先頭ビットが“1”であれば、残りのアドレスビットはどのような値を取ってもよい）の場合、ある所定の処理を、そのパケットに対して行なうことを考える。パケットが、システムに到着した際に、その行先アドレスを検索して、アドレス“1\*\*\*”と一致するかどうかを判定するために、CAMまたはTCAMの連想記憶メモリが用いられるとする。

【0174】

この場合、パケットが到着する前に、CAMまたはTCAMには、“1\*\*\*”というデータを記憶しておく必要がある。通常の2値記憶のCAMを用いた場合、“1000”、“1001”、“1010”、“1011”、“1100”、“1101”、“1110”、および“1111”の8状態を記憶しておく必要があり、したがって、このパケットの行先アドレス検索のために、8ワードが消費される。

【0175】

一方、TCAMにおいては、「X」状態を記憶することができるため、“1XXX”の1個のワードを記憶することが要求されるだけである。行き先アドレスのビット数がさらに増大すると、この使用されるワードの数の差がさらに大きくなる。したがって、TCAMを用いた場合、多様なデータを少ないワード数で記憶することができる。実際には、IPパケットには、行先アドレスに加えて、送信元のIPアドレス、通信品質を示す情報、およびIPプロトコルのバージョン番号などの種々の情報が含まれている。したがって、これらの情報に対し検索処理を行なう場合に、TCAMが、非常に有用である。

【0176】

TCAMメモリセルとCAMメモリセルは、セル構造が異なるのみでマッチ線

MLを用いた検索動作は共通するので、実施の形態1に示すメモリセルアレイへ適用することが可能である。この場合には、冗長救済構成については、図2に示したのと同様の構成を用いることができる。

【0177】

したがって、本実施の形態2において示されるTCAMメモリセルをCAMメモリセルの代わりに用いることにより、さらに有用な連想メモリを構成することができる。

(実施の形態2の変形例)

本実施の形態2の変形例においては、他のTCAMメモリセルの構成について説明する。

【0178】

図17は、本実施の形態2の変形例に従うメモリセルCAMCaの回路構成図である。

【0179】

図17を参照して、メモリセルCAMCaは、1ビットのデータを記憶する記憶部SUと、記憶部SUに格納されたデータと検索線SLおよび／SLを介して伝達される検索データビットとを比較する比較回路98とを含む。

【0180】

記憶部SUは、データ書込時、ワード線（選択線）WLe上の信号に応答してビット線BLおよび／BLに伝達された相補書込データを格納するツインセルTW0と、ワード線WL0上の信号電位に応答して、データ書込時、ビット線BLおよび／BL上に伝達された相補データを格納するツインセルTW1を含む。ビット線BLおよび／BLには、常に、相補データが伝達される。

【0181】

また、検索線SLおよび／SLにおいても、検索データに対応する相補データが転送される。

【0182】

本実施の形態2の変形例に従うメモリセルCAMCaの記憶データの1ビットは、ツインセルTW0およびTW1の2つの相補記憶データにより表現される。

## 【0183】

ツインセルTW0は、ワード線WLeとビット線BLの交差部に対応して配置されるダイナミックセルMC1と、ワード線WLeとビット線/BLの交差部に対応して配置されるダイナミックセルMC2を含む。ツインセルTW1は、ワード線WL0とビット線BLの交差部に対応して配置されるダイナミックセルMC3と、ワード線WL0とビット線/BLの交差部に対応して配置されるダイナミックセルMC4を含む。

## 【0184】

これらのダイナミックセルMC1からMC4は、それぞれ、データを電荷の形態で格納するキャパシタNQと、対応のワード線上の信号に応答して、キャパシタと対応のビット線（BLまたは/BL）に結合するアクセストランジスタNTを含む。これらのダイナミックセルMC1～MC4は、それぞれ、1トランジスタ/1キャパシタ型のDRAM（ダイナミック・ランダム・アクセス・メモリ）セルと同様の構成を有する。

## 【0185】

ダイナミックセルMC1～MC4のキャパシタMQの一方電極は共通に、セルプレート電圧VCPが与えられる。ダイナミックセルMC1～MC4のキャパシタNQの他方電極ノードが、ストレージノードSN1～SN4として用いられて、それぞれに、記憶データに対応する電荷が蓄積される。

## 【0186】

この記憶部SUは、したがって、4ビットのダイナミックセルで構成される。ツインセルTW0およびTW1は、それぞれ、相補データを格納する。これらの4ビットのダイナミックセルで、1ビットの検索データに対応するデータを記憶する。

## 【0187】

比較回路98は、実施の形態2で説明したのと同様の構成であるが、トランジスタ94およびトランジスタ96はそれぞれストレージノードSN1およびSN4と電氣的に結合される。

## 【0188】



本実施の形態 2 の変形例に従うメモリセル CAMC a についても、メモリセル MCA # と同様のデータ検索動作を実行することができる。

【 0 1 8 9 】

ツインセル TW 0 に含まれるダイナミックセル MC 1 および MC 2 は、上述したように相補のデータを記憶するストレージノード SN 1 および SN 2 を有する。ツインセル TW 1 についても同様にダイナミックセル MC 3 および MC 4 は、相補のデータを記憶するストレージノード SN 3 および SN 4 を有する。

【 0 1 9 0 】

仮にこのメモリセル CAMC a がデータ「0」を記憶している場合について考える。本例においてはデータ「0」の記憶状態をセンスノード SN 1 が「L」レベル、センスノード SN 4 が「H」レベルに対応付けられるものとする。データ書込動作については通常の DRAM セルの方式と同様であるのでその詳細な説明は省略する。

【 0 1 9 1 】

データ検索動作が行なわれサーチ線対 SLP にデータ「0」が入力された場合を考える。本例においてはサーチ線 SL が「L」レベルに設定され相補のサーチ線 / SL が「H」レベルに設定されるものとする。

【 0 1 9 2 】

この場合、比較部 9 8 において、トランジスタ 9 6 および 9 5 がターンオンするが、マッチ線 ML は、接地電圧 GND と電氣的に結合されず、マッチ線 ML は電源電圧 VCC の電圧レベルを維持する。上述したようにこの場合入力データと検索データとがヒットしたものとする。

【 0 1 9 3 】

一方、サーチ線対 SLP にデータ「1」が入力された場合について考える。本例においてはサーチ線 SL が「H」レベルに設定され、相補のサーチ線 / SL は「L」レベルに設定されるものとする。

【 0 1 9 4 】

この場合、比較部 9 8 において、トランジスタ 9 6 および 9 7 がターンオンする。これに伴い、マッチ線 ML とノード N 6 とが電氣的に結合される。すなわち

、マッチ線MLの電圧レベルは接地電圧GNDによりプルダウンされる。上述したようにこの場合入力データと検索データとはミスしたものとする。

【0195】

また、これに加えてメモリセルCAMC aは、さらにもう1つの状態「X（ドントケア）」という状態を記憶する。この記憶状態は、センスノードSN1およびセンスノードSN4がともに「L」レベルに設定されている場合に対応付けられる。

【0196】

データ検索動作を実行した場合、センスノードSN1およびセンスノードSN4がともに「L」レベルであるため比較部98のトランジスタ94および96のいずれもターンオフ状態にある。したがって、サーチ線対SLPにデータ「0」および「1」を入力した場合、いずれも接地電圧GNDとマッチ線MLとが電氣的に結合されることはなく比較結果は常にヒットとなる。この状態常にヒットする「X」状態を記憶することができる。

【0197】

したがって、メモリセルCAMC aにおいても、CAMメモリセルCAMC #と同様のデータ検索動作を実行することができる。

【0198】

また、本実施の形態2の変形例に従うメモリセルCAMC aは、キャパシタNQを用いており、SRAMセルの構成を用いる場合に比べて、その容量値が大きく、SRAMセルを用いるTCAMメモリセルCAMC #に比べてソフトエラー耐性を改善することができる。

【0199】

また、本実施の形態2の変形例に従うメモリセルCAMC aは、TCAMメモリセルCAMC #よりも部品点数を削減することができ回路面積を縮小することができる。

【0200】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範

囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 2 0 1 】

【発明の効果】

この発明は以上説明したように、不良アドレスに基づいて生成されるシフト動作を指示するシフト指示信号をラッチする複数のラッチ回路を設ける。これに伴い、アクセスする際に、不良メモリセル行のアドレスをデコーダ回路を用いてデコードして、その結果に基づくシフト動作を実行する必要が無く、信号線の配線数を軽減するとともに回路全体の面積を縮小し、簡易にシフト動作を実行することができる。

【 0 2 0 2 】

また、不良アドレスに基づいて第 1 および第 2 のシフト回路のシフト動作を制御する制御回路を設ける。また、メモリアレイを構成するメモリセルは、第 1 および第 2 の記憶ノードをそれぞれ有する第 1 および第 2 のセルユニットと、第 1 および第 2 の記憶ノードに記憶された検索データと入力データとを比較する比較回路とを含む。これに伴い、いわゆる T C A M メモリセルにおいて、簡易に不良メモリセル行を救済する冗長救済を実行することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態に従う C A M 1 の全体構成図である。

【図 2】 本発明の実施の形態 1 に従う C A M 1 をより詳細に説明するブロック概略図である。

【図 3】 本発明の実施の形態 1 に従うメモリアレイ 2 に集積配置された C A M メモリセル C A M C の回路構成図である。

【図 4】 ビット線対 B L P 0 に対応するメモリセル C A M C のデータ検索動作について説明するタイミングチャート図である。

【図 5】 本発明の実施の形態 1 に従うフューズ回路 2 0 内に配置された回路群を示す概略ブロック図である。

【図 6】 フューズ回路 2 0 の動作を説明するタイミングチャート図である。

【図 7】 シフト情報ラッチ回路 6 の直列に接続されたラッチ部 L T U の回路構成図である。

【図 8】 本発明の実施の形態に従うシフト情報ラッチ回路のラッチ部 L T U の動作を説明するタイミングチャート図である。

【図 9】 本発明の実施の形態に従うワード線選択ユニット W D U の回路構成図である。

【図 1 0】 シフト情報ラッチ回路 6 によりラッチされたフューズデータ F D に基づいてロウデコーダ 5 およびマッチ線アンプ 3 において実行されるシフト動作を模式的に示す概念図である。

【図 1 1】 本発明の実施の形態 1 に従うマッチアンプユニット U M A の回路構成図である。

【図 1 2】 本発明の実施の形態に従うプライオリティエンコーダ 4 の概略ブロック図である。

【図 1 3】 本発明の実施の形態に従うエンコーダユニット E C U の回路構成図である。

【図 1 4】 本発明の実施の形態 1 の変形例に従うシフト情報ラッチ回路 6 # の概略ブロック図である。

【図 1 5】 本発明の実施の形態 1 の変形例に従うマッチアンプユニット U M A # の概略ブロック図である。

【図 1 6】 本発明の実施の形態 2 に従うメモリセル C A M C # の構成図である。

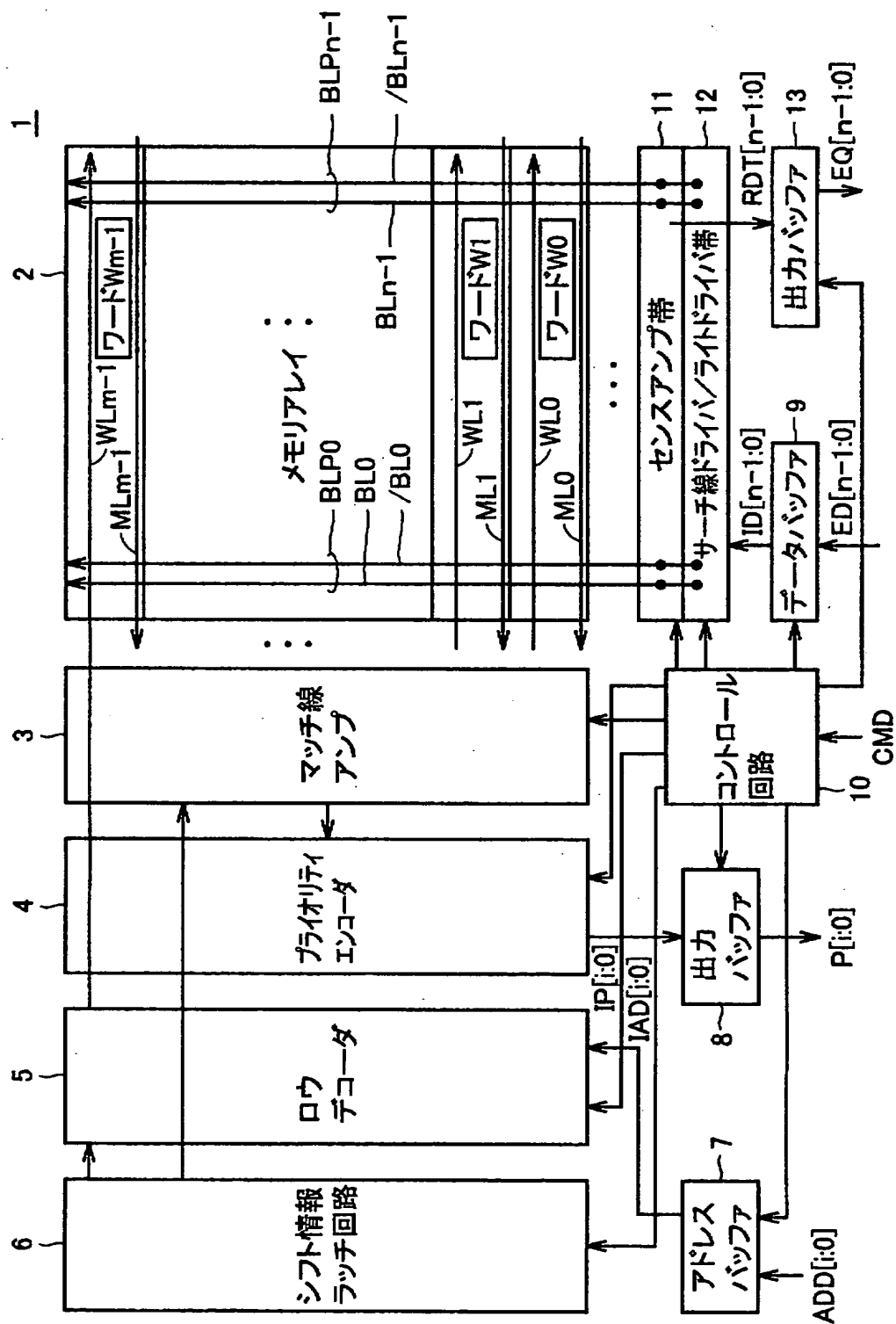
【図 1 7】 本実施の形態 2 の変形例に従うメモリセル C A M C a の回路構成図である。

#### 【符号の説明】

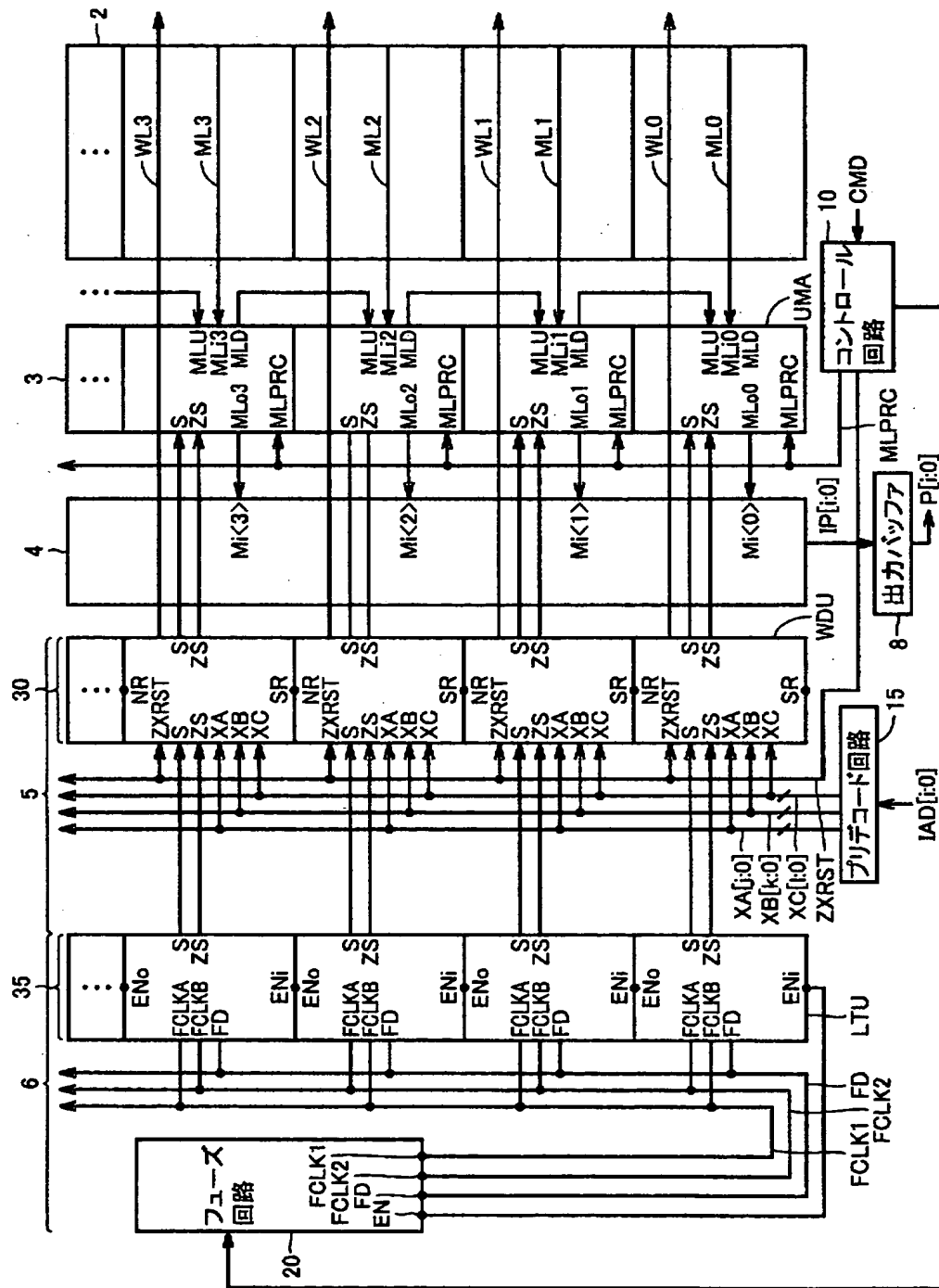
1 CAM、2 メモリアレイ、3 マッチ線アンプ、4 プライオリティエンコーダ、5 ロウデコーダ、6 シフト情報ラッチ回路、7 アドレスバッファ、8, 13 出力バッファ、9 データバッファ、10 コントロール回路、11 センスアンプ帯、12 サーチ線ドライバ/ライトドライバ帯。

【書類名】 図面

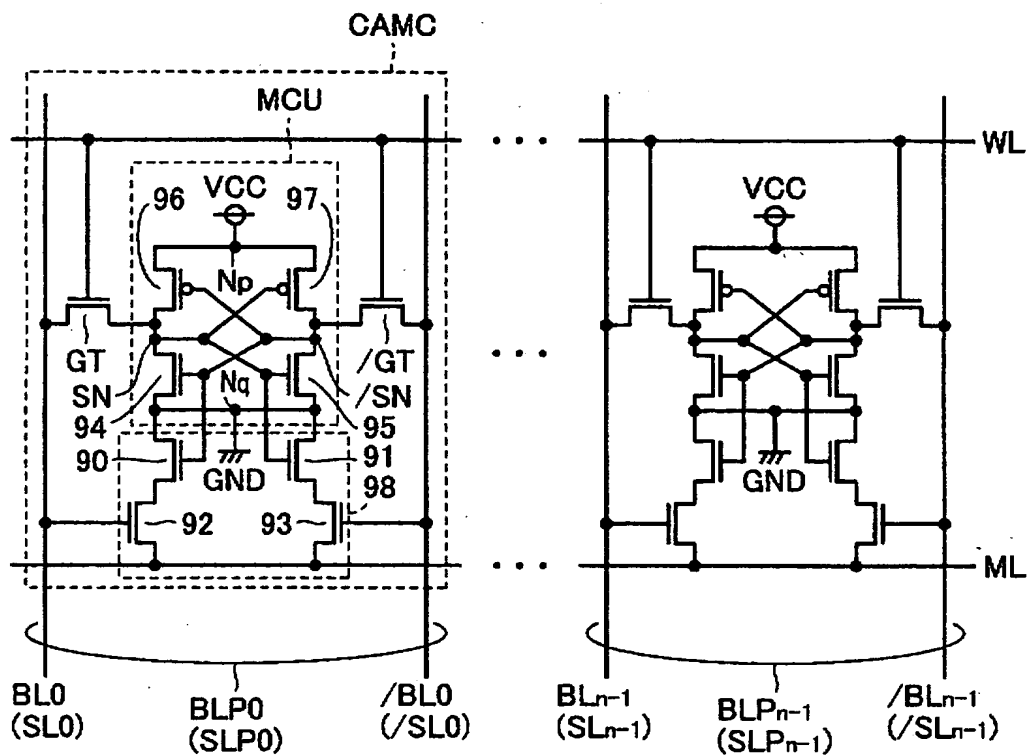
【図 1】



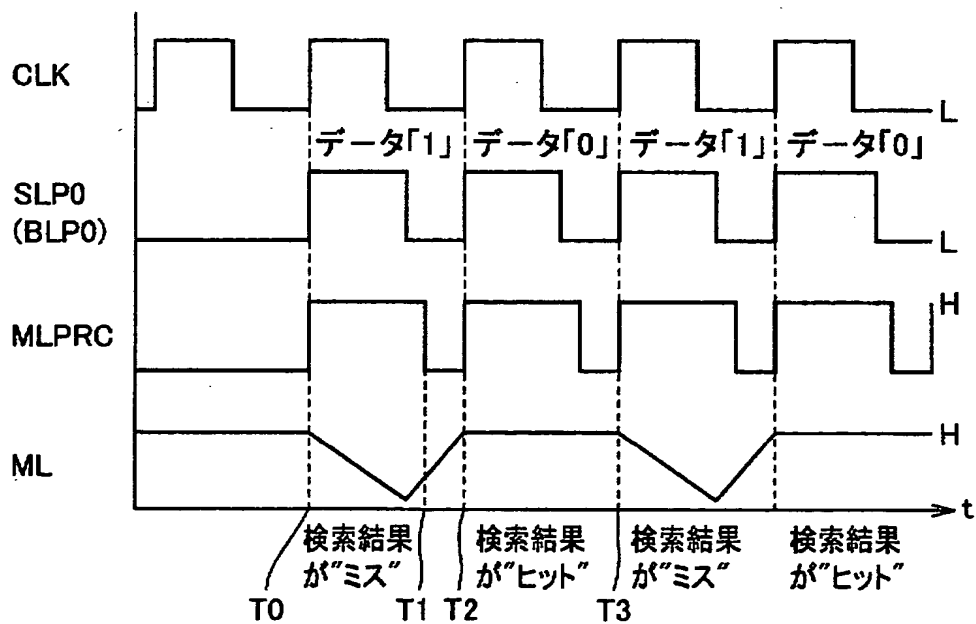
【図2】



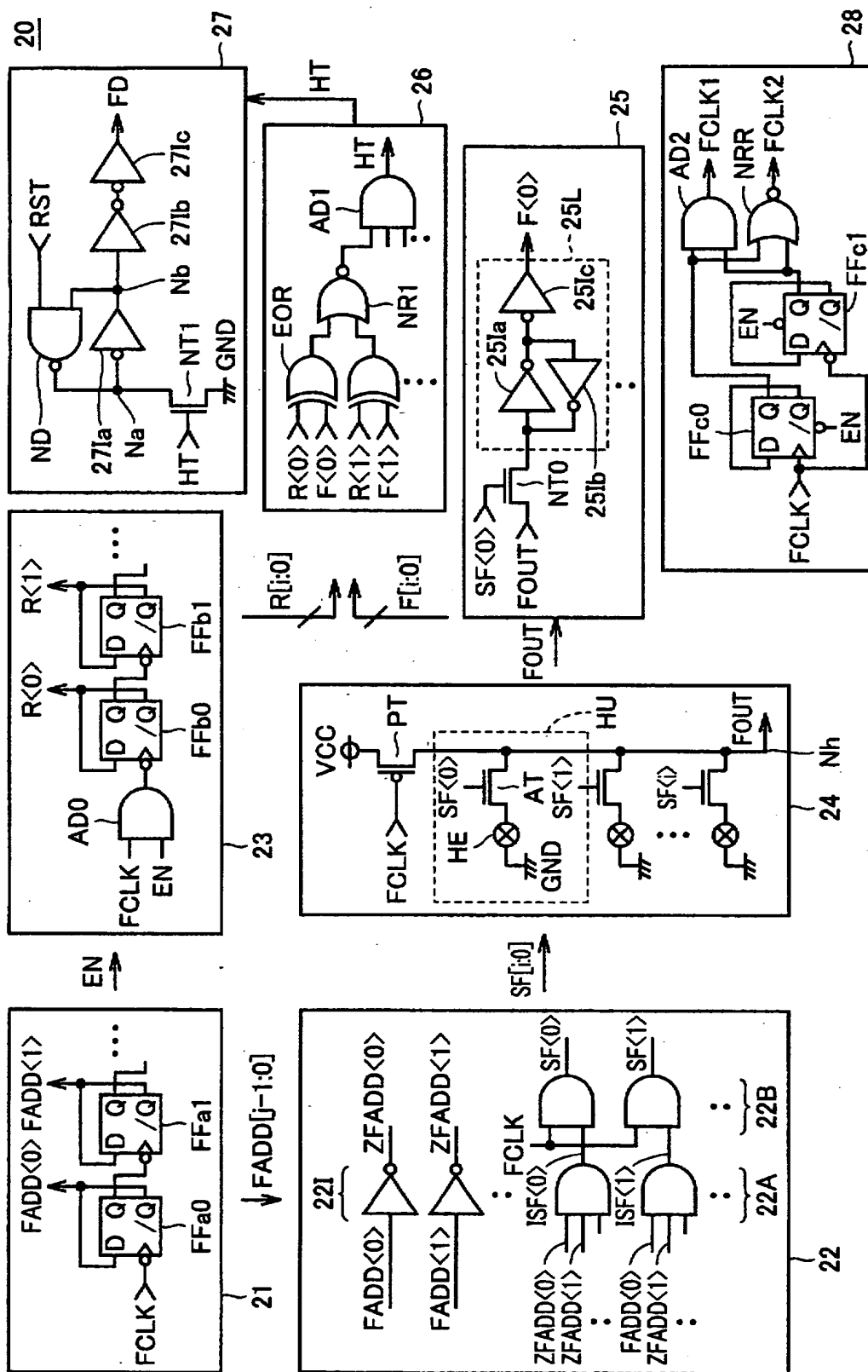
【図 3】



【図 4】

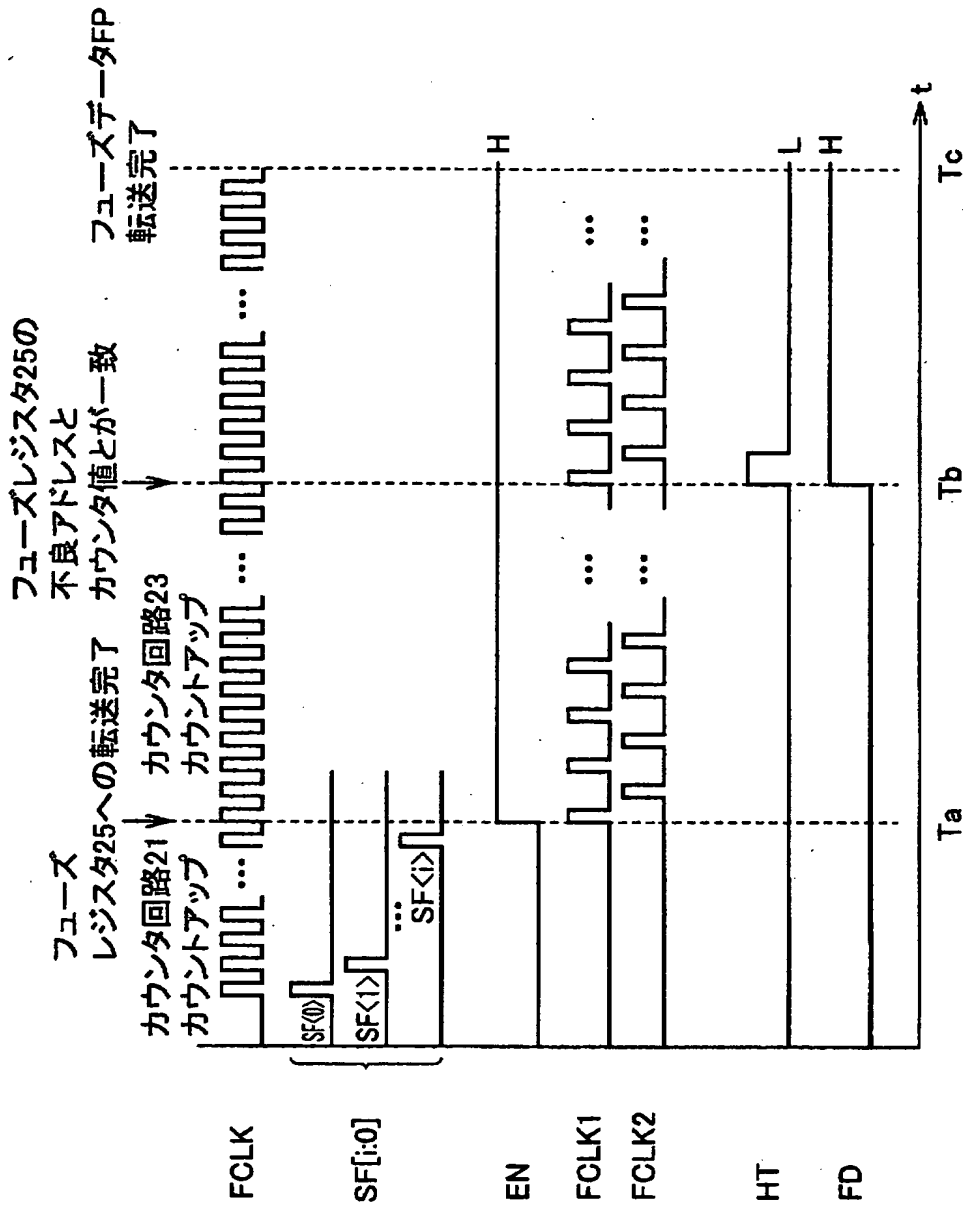


【図5】

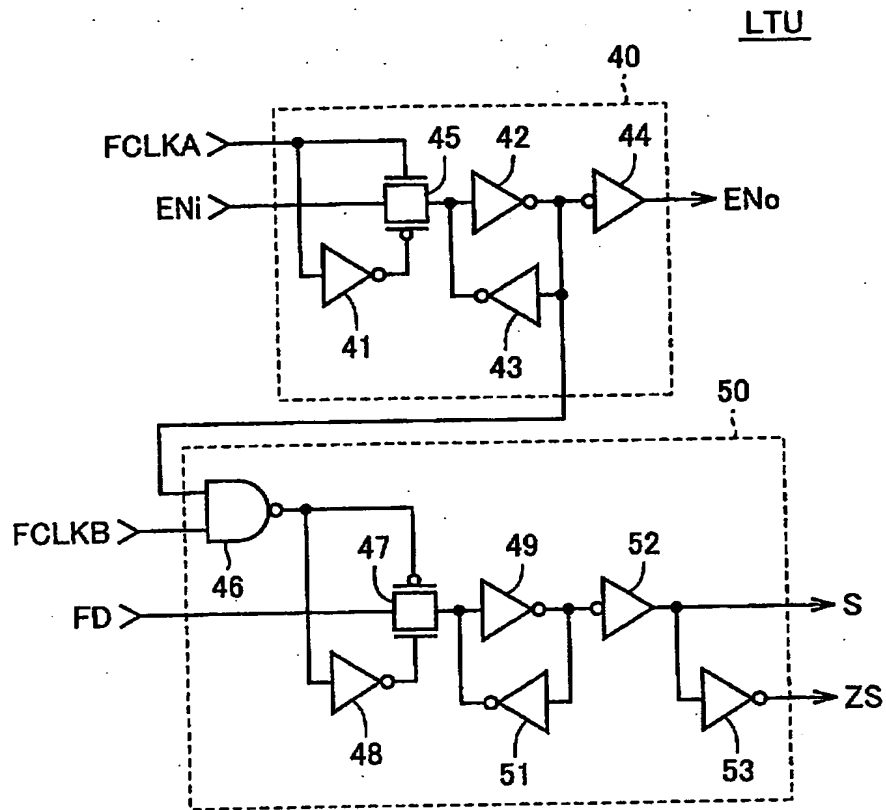




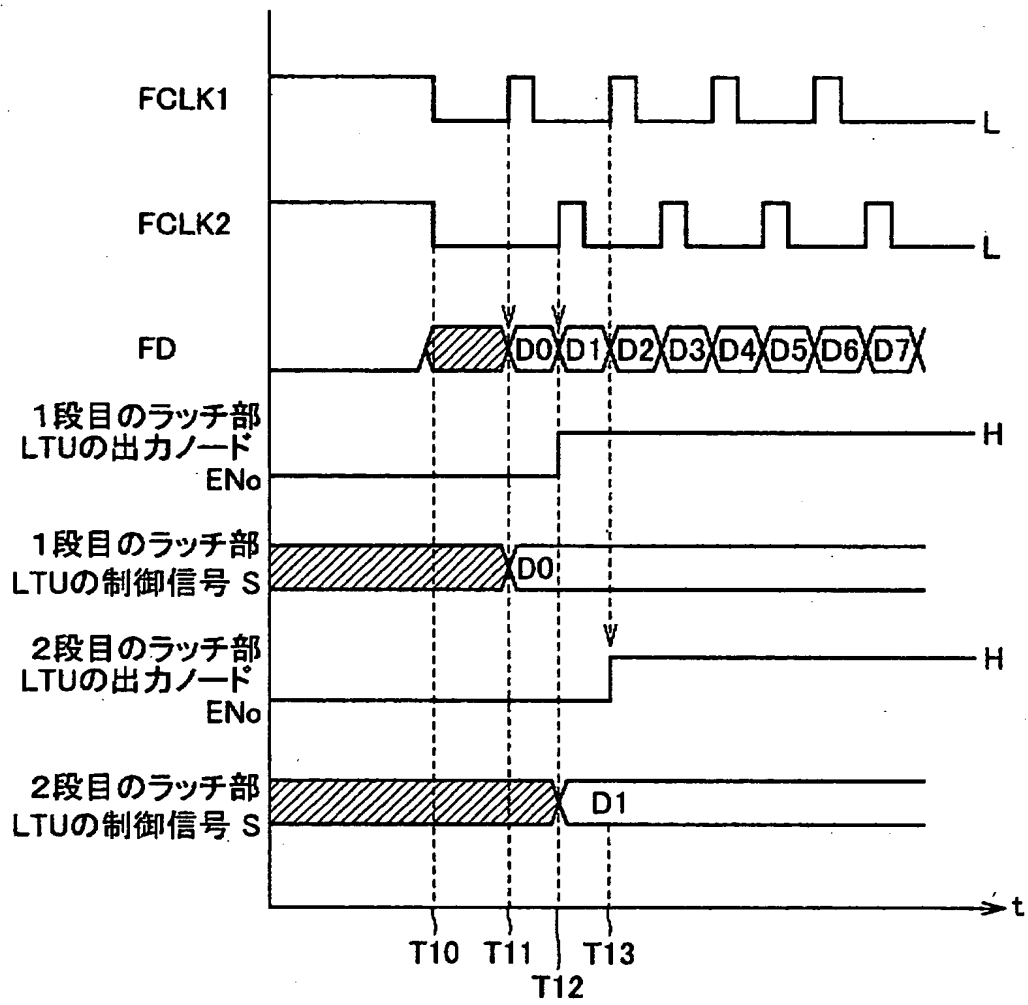
【図 6】



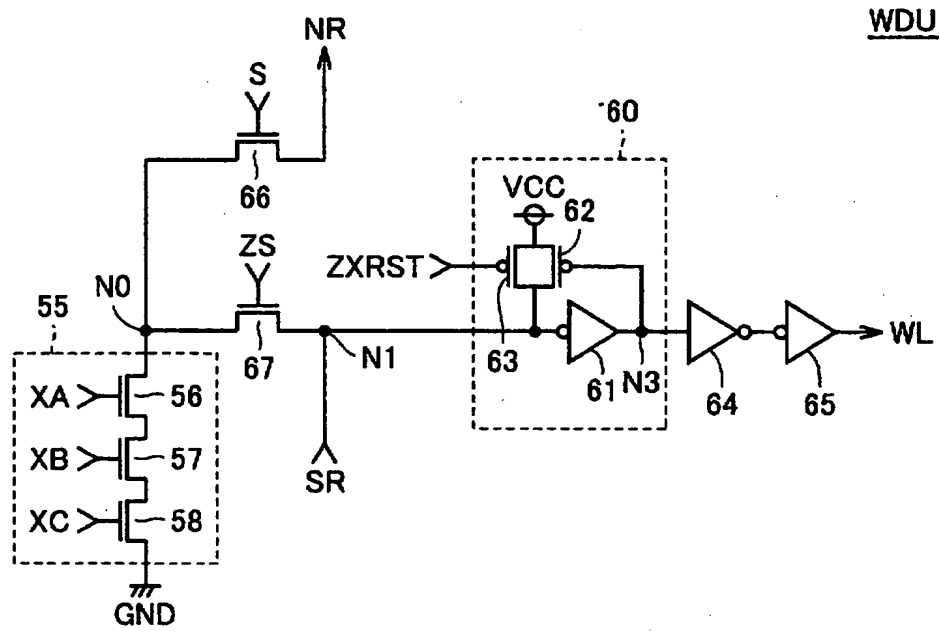
【図 7】



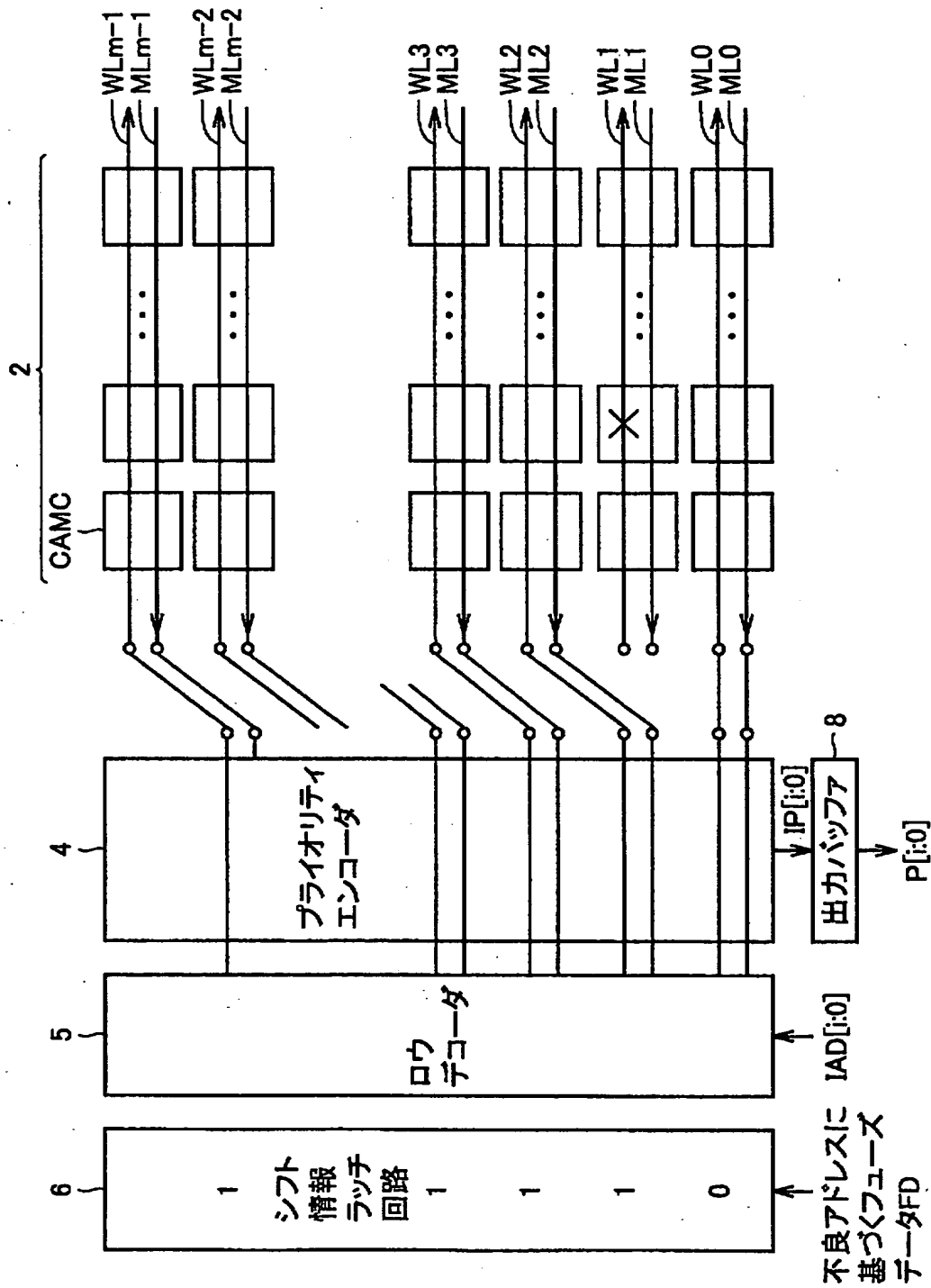
【図 8】



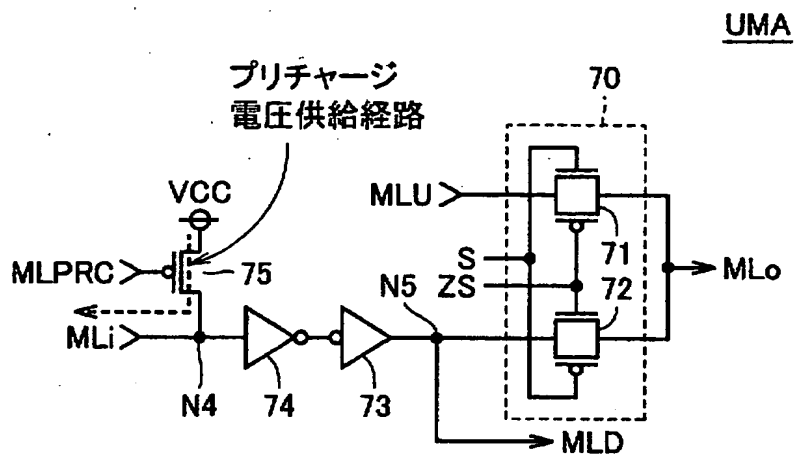
【图 9】



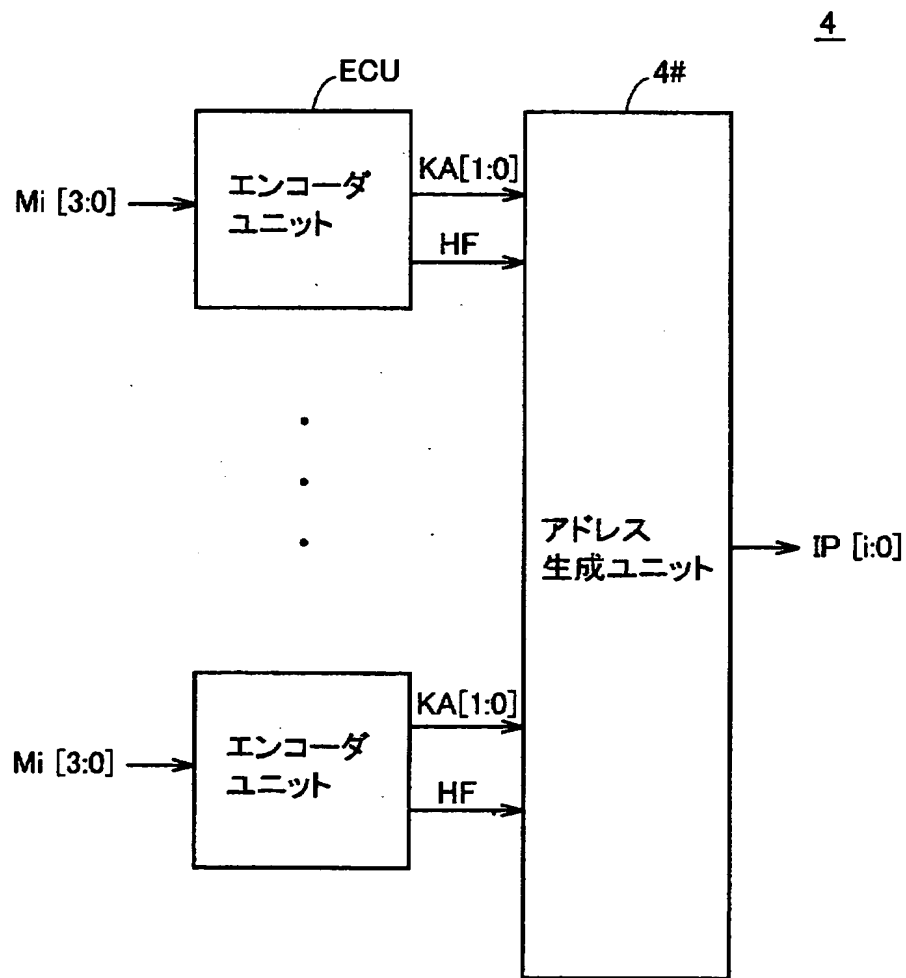
【図10】



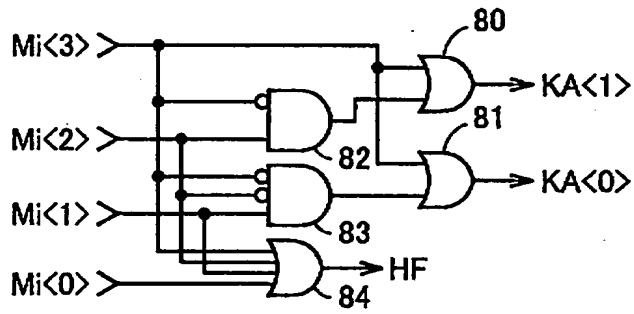
【図 1 1】



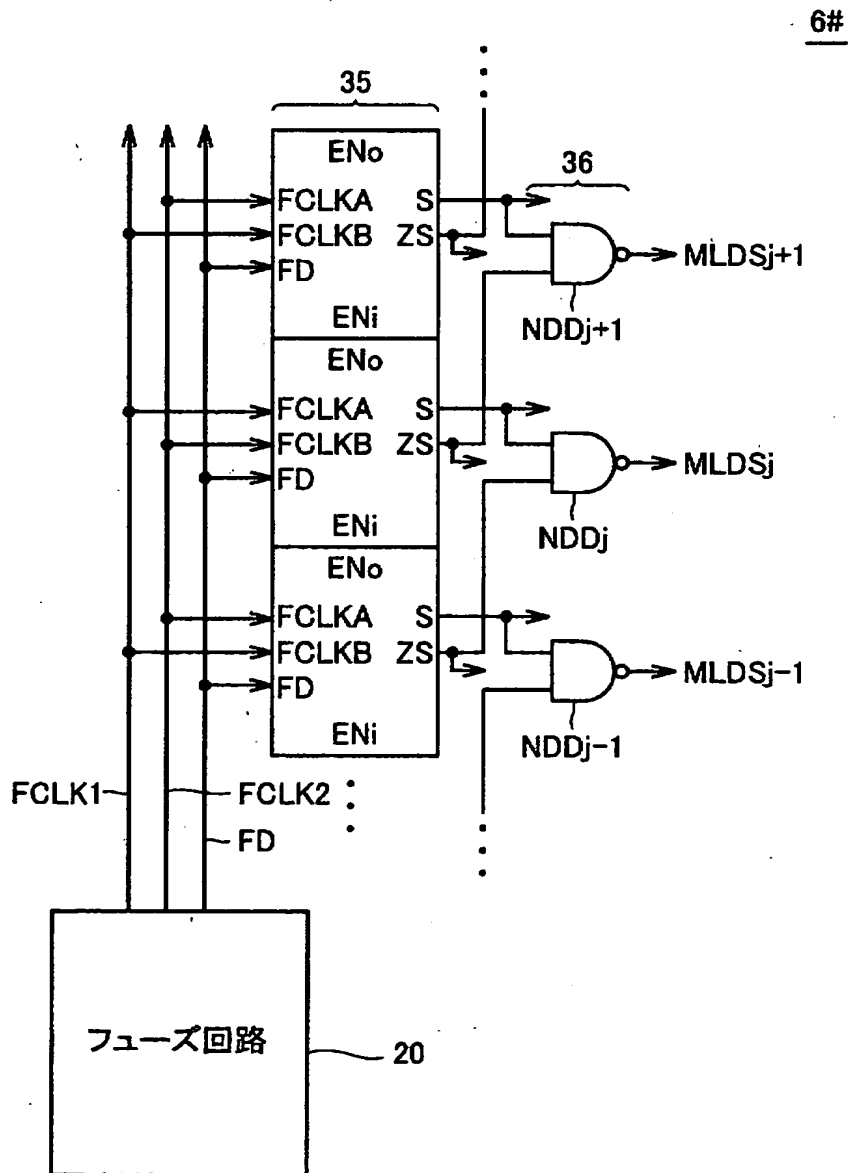
【図 1 2】



【図 13】

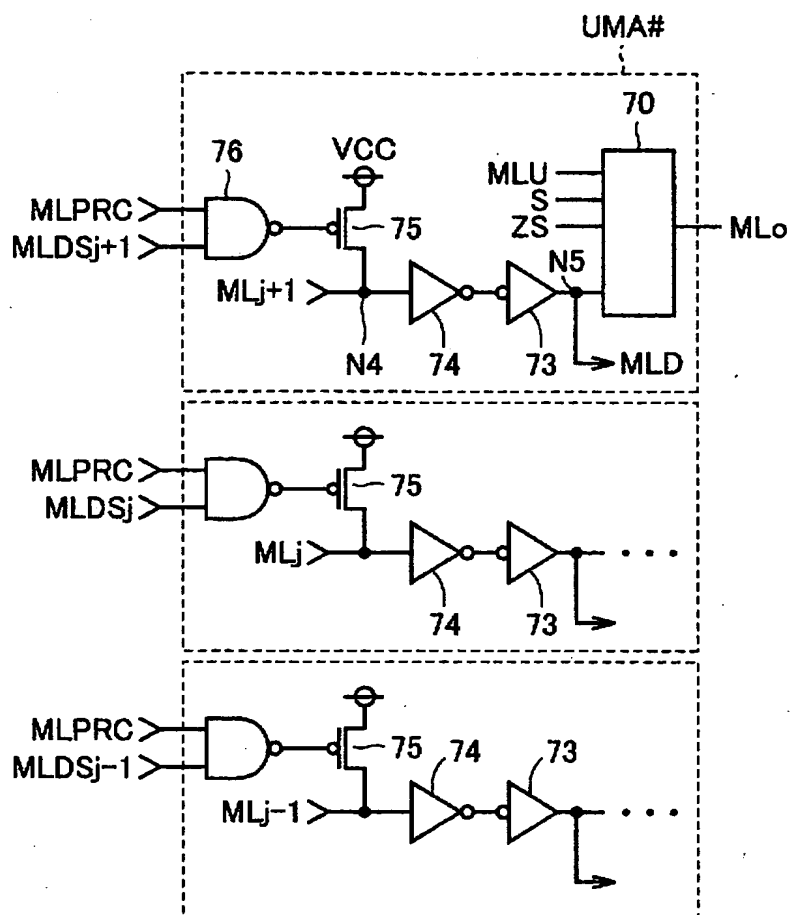


【図 14】



6#

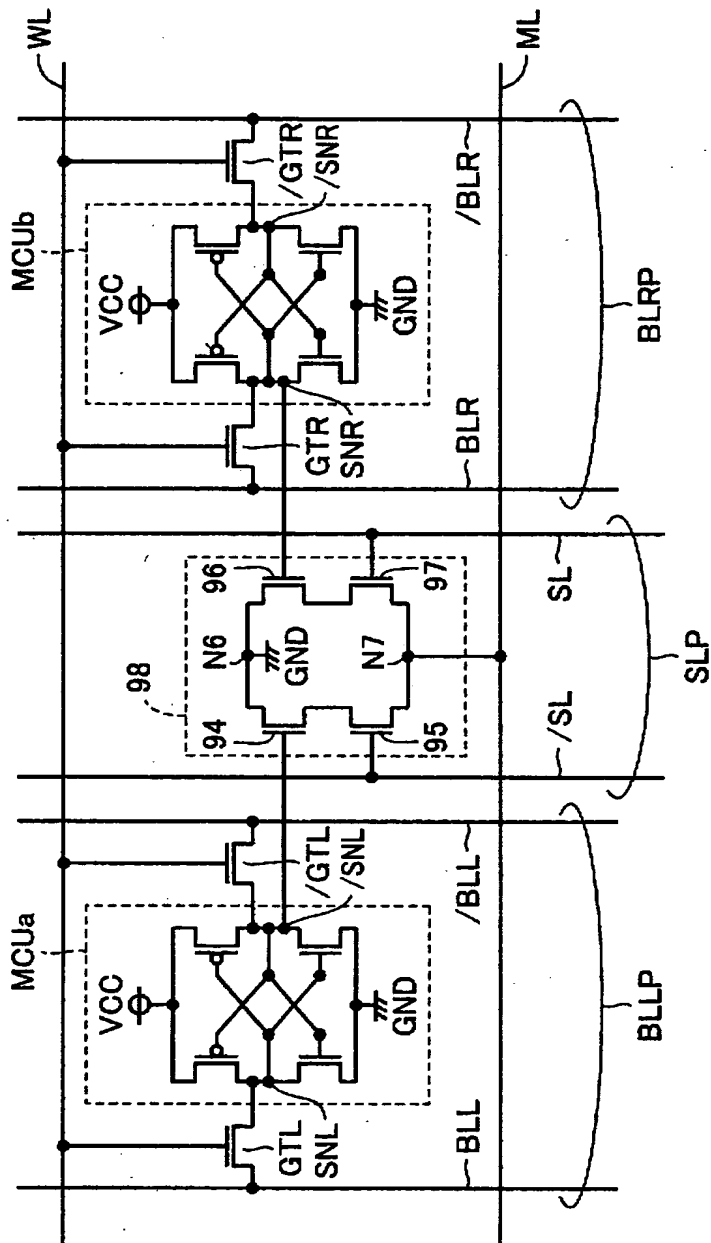
【図 15】





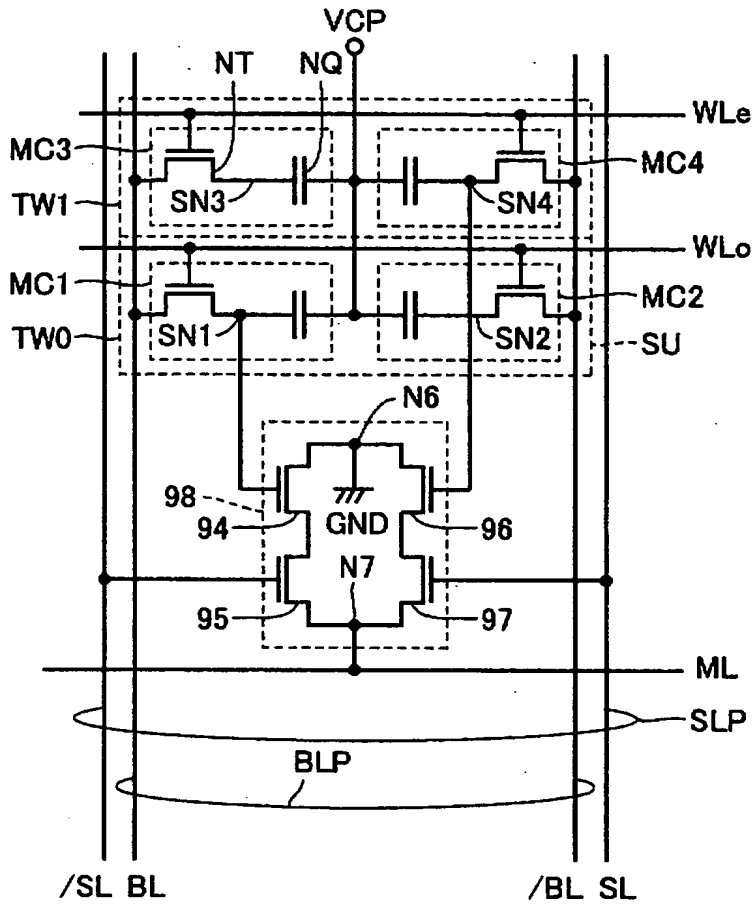
【図 16】

CAMC#



【図 17】

CAMCa



【書類名】            要約書

【要約】

【課題】    回路面積が小さく、また簡易な構成でメモリセル行の冗長救済を実行する連想メモリを提供することを目的とする。

【解決手段】    シフト情報ラッチ回路 6 は、メモリセル行にそれぞれ対応して設けられる複数のラッチ部 L T U と、不良メモリセル行のアドレスに応じて生成されるフューズデータ F D を伝達するフューズ回路 2 0 とを設ける。複数のラッチ部にフューズデータ F D が順番に入力され、シフト動作を指示するシフト制御信号 S、Z S が各ラッチ部 L T U から伝達される。このシフト制御信号に応答して、ロウデコーダ 5 およびマッチ線アンプ 3 において不良メモリセル行を救済するシフト動作が実行される。本構成においては、不良メモリセル行のアドレスをデコードするデコーダ回路を配置することなくシフト動作を実行するため回路全体の面積が縮小されるとともに、簡易にシフト動作を実行することができる。

【選択図】            図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社